

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Masahiro Yoshida et al. :

Serial No.: [NEW] :

Filed: January 16, 2001 :

For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE
SAME

4 / Priority
Doc.
E. Villis
5-18-01

Attn: Applications Branch

Attorney Docket No.: OKI.206



CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:


Appln. No. 2000-010250 filed January 17, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, LLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 16, 2001

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月17日

出 願 番 号

Application Number:

特願2000-010250

出 願 人

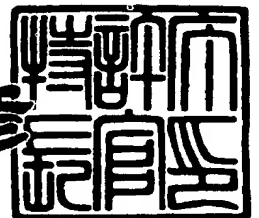
Applicant (s):

沖電気工業株式会社

2000年 4月 7日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3024891

【書類名】 特許願

【整理番号】 KT-0256

【提出日】 平成12年 1月17日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/31
H01L 21/70

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 吉田 匡宏

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 時藤 俊一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板と前記半導体基板上に形成されるFET (Field-Effect-Transistor) とを備える半導体装置であって：

前記FETのゲート電極側部に形成され窒素(N)とシリコン(Si)とを組成中に主として含むSAC (Self Aligned Contact) のためのサイドウォールと；

前記サイドウォールと前記半導体基板との間に形成され前記サイドウォールに含まれる元素の前記半導体基板側への拡散を抑止する拡散抑止膜と；

を備えることを特徴とする、半導体装置。

【請求項2】 前記拡散抑止膜の膜厚は、前記元素の拡散が前記拡散抑止膜と前記半導体基板との境界部付近まで達しない程度の大きさに設定されることを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記拡散抑止膜は、CVD (Chemical Vapor Deposition) により形成されることを特徴とする、請求項1または2に記載の半導体装置。

【請求項4】 前記拡散抑止膜は、前記半導体基板表面の熱酸化により形成されることを特徴とする、請求項1または2に記載の半導体装置。

【請求項5】 さらに、前記ゲート電極側面に前記熱酸化により形成される酸化壁を備えることを特徴とする、請求項4に記載の半導体装置。

【請求項6】 前記元素には、水素が含まれることを特徴とする、請求項1、2、3、4または5のいずれかに記載の半導体装置。

【請求項7】 前記元素には、窒素が含まれることを特徴とする、請求項1、2、3、4、5または6のいずれかに記載の半導体装置。

【請求項8】 前記拡散抑止膜は、酸化シリコン膜であることを特徴とする、請求項1、2、3、4、5、6または7のいずれかに記載の半導体装置。

【請求項9】 半導体基板と前記半導体基板上に形成されるFETとを備える半導体装置であって：

前記 F E T のゲート電極側部に形成され窒素とシリコンとを組成中に主として含み 8 5 0 ℃ 以上の L P - C V D (L o w P l e s s u r e C V D) により形成される S A C のためのサイドウォールを備えることを特徴とする、半導体装置。

【請求項 1 0】 半導体基板と前記半導体基板上に形成される F E T とを備える半導体装置であって：

前記 F E T のゲート電極側部に形成され窒素とシリコンとを組成中に主として含む S A C のためのサイドウォールを備え；

前記サイドウォールは、2 以上の層から構成され、その最下層が 8 5 0 ℃ 以上の L P - C V D により形成される；

ことを特徴とする、半導体装置。

【請求項 1 1】 半導体基板と前記半導体基板上に形成される L D D 構造の F E T とを備える半導体装置であって：

前記 F E T の L D D 部は、相互に注入エネルギーが異なる 2 度以上のイオン注入により形成されることを特徴とする、半導体装置。

【請求項 1 2】 半導体基板と前記半導体基板上に形成される F E T とを備える半導体装置の製造方法であって：

窒素とシリコンとを組成中に主として含む S A C のためのサイドウォールを前記 F E T のゲート電極側部に形成する、サイドウォール形成工程と；

前記サイドウォール形成工程の前に行われ、前記サイドウォールに含まれる元素の前記半導体基板側への拡散を抑止する拡散抑止膜を前記サイドウォールの形成予定部分に形成する、拡散抑止膜形成工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項 1 3】 前記拡散抑止膜は、C V D により形成されることを特徴とする、請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記拡散抑止膜は、前記半導体基板表面の熱酸化により形成されることを特徴とする、請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 5】 半導体基板と前記半導体基板上に形成される F E T とを備える半導体装置の製造方法であって：

窒素とシリコンとを組成中に主として含むSACのためのサイドウォールを前記FETのゲート電極側部に形成する、サイドウォール形成工程と；

前記サイドウォール形成工程の後に行われ、前記サイドウォールに含まれる元素の前記半導体基板側への拡散を抑止する拡散抑止膜を前記サイドウォールと前記半導体基板との間に形成する、拡散抑止膜形成工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項16】 前記拡散抑止膜は、前記半導体基板表面の熱酸化により形成されることを特徴とする、請求項15に記載の半導体装置の製造方法。

【請求項17】 半導体基板と前記半導体基板上に形成されるFETとを備える半導体装置の製造方法であって；

窒素とシリコンとを組成中に主として含むSACのためのサイドウォールを前記FETのゲート電極側部に形成する、サイドウォール形成工程と；

前記FETと前記サイドウォールとを被覆しBPSG (B o r o - P h o s p h o S i l i c a t e G l a s s) から構成される層間絶縁膜を前記半導体基板上に形成する、層間絶縁膜形成工程と；

前記層間絶縁膜が形成されたウェハを熱処理することにより、前記サイドウォールに含まれる元素の前記半導体基板側への拡散を抑止する拡散抑止膜を前記サイドウォールと前記半導体基板との間に形成する、拡散抑止膜形成工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項18】 前記サイドウォール形成工程の前に、

前記半導体基板上に少なくとも前記サイドウォールの形成予定部分と前記ゲート電極の形成予定部分とを被覆するゲート絶縁膜を形成する、ゲート絶縁膜形成工程と、

前記ゲート絶縁膜上に前記ゲート電極を形成する、ゲート電極形成工程と、
を含み；

前記拡散抑止膜は、前記サイドウォールの形成予定部分を被覆する前記ゲート絶縁膜を厚膜化することにより形成される；

ことを特徴とする、請求項12、13、14、15、16または17のいずれかに記載の半導体装置の製造方法。

【請求項19】 半導体基板と前記半導体基板上に形成されるFETとを備える半導体装置の製造方法であって：

窒素とシリコンとを組成中に主として含むSACのためのサイドウォールを前記FETのゲート電極側部に形成する、サイドウォール形成工程と；

前記サイドウォールに含まれる元素が前記半導体基板表面に拡散した場合に前記半導体基板表面を熱酸化する、熱酸化工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項20】 半導体基板と前記半導体基板上に形成されるFETとを備える半導体装置の製造方法であって：

前記半導体基板表面にゲート絶縁膜を形成する、ゲート絶縁膜形成工程と；

前記ゲート絶縁膜上に前記FETのゲート電極を形成する、ゲート電極形成工程と；

窒素とシリコンとを組成中に主として含むSACのためのサイドウォールを前記FETのゲート電極側部に形成する、サイドウォール形成工程と；

前記サイドウォールに含まれる元素が前記ゲート酸化膜を介して前記半導体基板表面に拡散した場合に前記ゲート絶縁膜と前記半導体基板とを熱酸化する、熱酸化工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項21】 前記元素には、水素が含まれることを特徴とする、請求項12、13、14、15、16、17、18、19または20のいずれかに記載の半導体装置の製造方法。

【請求項22】 前記元素には、窒素が含まれることを特徴とする、請求項12、13、14、15、16、17、18、19、20または21のいずれかに記載の半導体装置の製造方法。

【請求項23】 半導体基板と前記半導体基板上に形成されるFETとを備える半導体装置の製造方法であって：

850℃以上のLP-CVDにより窒素とシリコンとを組成中に主として含み前記FETのゲート電極上面および側面を被覆する膜を形成する工程と；

RIEにより前記膜をエッチバックすることにより窒素とシリコンとを組成中

に主として含むSACのためのサイドウォールを前記ゲート電極側部に形成するサイドウォール形成工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項24】 半導体基板と前記半導体基板上に形成されるFETとを備える半導体装置の製造方法であって：

850℃以上のLP-CVDにより窒素とシリコンとを組成中に主として含み前記FETのゲート電極上面および側面を被覆する第1の膜を形成する工程と；

前記第1の膜上に窒素とシリコンとを組成中に主として含む第2の膜を形成する工程と；

RIEにより前記第1および第2の膜をエッチバックすることにより窒素とシリコンとを組成中に主として含むSACのためのサイドウォールを前記ゲート電極側部に形成するサイドウォール形成工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項25】 半導体基板と前記半導体基板上に形成されるLDD構造のFETとを備える半導体装置の製造方法であって：

前記FETのLDD部は、相互に注入エネルギーが異なる2以上のイオン注入により形成されることを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置および半導体装置の製造方法に関する。

【0002】

【従来の技術】

LSI (Large Scale Integrated Circuit) 中に形成されるMOSFET (Metal-Oxide Semiconductor Field-Effect Transistor) は、微細加工技術の進展に伴い、小型化の一途を辿っている。特に、DRAM (Dynamic Random Access Memory) のメモリセルに適用されるMOSFETのサイズは、世代ごとに40%づつ縮小している。一方で、MOSFET

ではゲート電極とコンタクトホールとの間にアライメントの余裕をとる必要がある。この結果、現在では、コンタクトホールの孔径と、ゲート電極とコンタクトホールとの間のアライメント余裕とを、適度に確保することが極めて難しくなっている。

【0003】

従来、かかる問題の解決策として、SAC (Self Aligned Contact) 技術が提案されている。SAC技術にはゲート電極とコンタクトホールとの間のアライメントの余裕が不要であるため、現在ではSAC技術を用いたMOSFETが主流となっている。

なお、以上の事情については、例えば” K. P. Lee他著「A Process Technology for 1 Giga-Bit DRAM」, IEDM Tech. Dig., pp907-910, 1995” に記載されている。

【0004】

従来、SACのプロセスとしては、酸化シリコンと窒化シリコンとの高いエッチング選択比を利用するSiN-SW方式が一般化している。ここで、SiN-SW方式とは、窒化シリコンから構成されるサイドウォール(SW)でゲート電極を覆い、当該サイドウォールをエッチングストッパ膜としてコンタクトホールを形成する方式である。

【0005】

以下、図23を参照しながら、従来のSiN-SW方式のSACプロセスについて説明する。なお、図23には、SiN-SW方式のSAC技術を用いて製造される従来のMOSFET800の断面構造を概略的に示す。

【0006】

MOSFET800の製造方法では、シリコン基板802上にゲート酸化膜824とゲート電極816とを順次形成する。ここで、ゲート酸化膜824は、シリコン基板802表面全体に略均一な膜厚で形成される。次に、ゲート電極816上に窒化シリコンから構成されるキャップ膜820を形成する。次に、ゲート電極816側部のゲート酸化膜824上に窒化シリコンから構成されるサイドウ

オール822を形成する。サイドウォール822は、約720℃程度の温度条件のLP-CVD (Low Pressure Chemical Vapor Deposition) とRIE (Reactive Ion Etching) のエッチバックとにより形成される。結果として、窒化シリコンから構成されるサイドウォール822およびキャップ膜820によって、ゲート電極816が完全に覆われる。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来のMOSFET800は、酸化シリコンから構成されるサイドウォールを有するコンベンショナルなMOSFETと比較して、ホットキャリア信頼性が低い。

【0008】

ホットキャリアレス試験を行うと、コンベンショナルなMOSFETの場合では、ストレス初期において、大きくMOSFETの特性 (I_{Ds} , GM) が劣化する。かかる事情については、例えば” Y. Sambonsugi他著「Hot-Carrier Degradation Mechanism and Promising Device Design of nMOSFETs with Nitride Sidewall Spacer」, IRPS, pp184-188, 1998” に記載されている。

【0009】

また、MOSFETの近傍に窒化シリコン膜が存在する場合、ゲート電圧がソース/ドレイン間電圧の1/2より低いストレス条件において、MOSFETの特性の劣化が大きくなる。かかる事情については、例えば” S. Tokitoh他著「Enhancement of Hot-Carrier Induced Degradation under Low Gate Voltage Stress due to Hydrogen for NMOSFETs with SiN Films」, IRPS, pp307-311, 1997” に記載されている。

【0010】

この原因としては、ゲート電極を窒化シリコンで覆った構造ではサイドウォール下領域のホットキャリア耐性がゲート電極下領域のそれと比べ極めて低くなっていることが考えられる。ホットキャリア耐性の低いサイドウォール下にドレイン近傍で発生するホットキャリアの一部が注入されると、ストレス印加時にMOSFETの特性が大きく劣化するのである。

【0011】

また、ゲート電極下のゲート酸化膜も、ソース領域／ドレイン領域を活性化するためのアニールによるサイドウォール中の水素の拡散によって、界面順位が発生し易い状態となっている。結果として、ゲート酸化膜近傍にトラップが発生し、MOSFETの特性が大きく劣化する可能性がある。

【0012】

以上説明したように、上記従来のMOSFETでは、ホットキャリア対策が不十分な構成でゲート電極を窒化シリコンで覆う構造の採用によりホットキャリア耐性が低くなり、MOSFETの特性の劣化が起こり易くなっている。

本発明は、従来の半導体装置および半導体装置の製造方法が有する上記その他の問題点に鑑みてなされたものである。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本願にかかる発明は、半導体基板と半導体基板上に形成されるFETとを備える半導体装置において、以下の構成を採用する。

請求項1に記載の発明は、FETのゲート電極側部に形成され窒素とシリコンとを組成中に主として含むSACのためのサイドウォールと、サイドウォールと半導体基板との間に形成されサイドウォールに含まれる元素の半導体基板側への拡散を抑止する拡散抑止膜と、を備える構成を採用する。

【0014】

ここで、請求項2に記載の発明のように、拡散抑止膜の膜厚は元素の拡散が拡散抑止膜と半導体基板との境界部付近まで達しない程度の大きさに設定される構成を採用することができる。さらに、請求項3に記載の発明のように、拡散抑止膜はCVDにより形成される構成を採用することができる。さらにまた、請求項

4に記載の発明のように、拡散抑止膜は半導体基板表面の熱酸化により形成される構成を採用することができる。さらに、請求項5に記載の発明のように、さらに、ゲート電極側面に熱酸化により形成される酸化壁を備える構成を採用することができる。さらにまた、請求項6に記載の発明のように、拡散抑止膜は酸化シリコン膜である構成を採用することができる。さらに、請求項7に記載の発明のように、元素には水素が含まれる構成を採用することができる。さらにまた、請求項8に記載の発明のように、元素には窒素が含まれる構成を採用することができる。

【0015】

また、請求項9に記載の発明は、FETのゲート電極側部に形成され窒素とシリコンとを組成中に主として含み850℃以上のLP-CVDにより形成されるSACのためのサイドウォールを備える構成を採用する。

【0016】

さらに、請求項10に記載の発明は、FETのゲート電極側部に形成され窒素とシリコンとを組成中に主として含むSACのためのサイドウォールを備え、サイドウォールは、2以上の層から構成されその最下層が850℃以上のLP-CVDにより形成される構成を採用する。

【0017】

さらにまた、請求項11に記載の発明は、FETはLDD構造のものであり、FETのLDD部は相互に注入エネルギーが異なる2度以上のイオン注入により形成される構成を採用する。

【0018】

また、上記課題を解決するために、本願にかかる発明は、半導体基板と半導体基板上に形成されるFETとを備える半導体装置の製造方法において、以下の構成を採用する。

【0019】

請求項12に記載の発明は、窒素とシリコンとを組成中に主として含むSACのためのサイドウォールをFETのゲート電極側部に形成するサイドウォール形成工程と、サイドウォール形成工程の前に行われサイドウォールに含まれる元素

の半導体基板側への拡散を抑止する拡散抑止膜をサイドウォールの形成予定部分に形成する拡散抑止膜形成工程と、を含む構成を採用する。ここで、請求項 1 3 に記載の発明のように、拡散抑止膜は C V D により形成される構成を採用することができる。さらに、請求項 1 4 に記載の発明のように、拡散抑止膜は半導体基板表面の熱酸化により形成される構成を採用することができる。

【 0 0 2 0 】

また、請求項 1 5 に記載の発明は、窒素とシリコンとを組成中に主として含む S A C のためのサイドウォールを F E T のゲート電極側部に形成するサイドウォール形成工程と、サイドウォール形成工程の後に行われサイドウォールに含まれる元素の半導体基板側への拡散を抑止する拡散抑止膜をサイドウォールと半導体基板との間に形成する拡散抑止膜形成工程と、を含む構成を採用する。ここで、請求項 1 6 に記載の発明のように、拡散抑止膜は半導体基板表面の熱酸化により形成される構成を採用することができる。

【 0 0 2 1 】

また、請求項 1 7 に記載の発明は、窒素とシリコンとを組成中に主として含む S A C のためのサイドウォールを F E T のゲート電極側部に形成するサイドウォール形成工程と、F E T とサイドウォールとを被覆し B P S G から構成される層間絶縁膜を半導体基板上に形成する層間絶縁膜形成工程と、層間絶縁膜が形成されたウェハを熱処理することによりサイドウォールに含まれる元素の半導体基板側への拡散を抑止する拡散抑止膜をサイドウォールと半導体基板との間に形成する拡散抑止膜形成工程と、を含む構成を採用する。

【 0 0 2 2 】

なお、以上の構成では、請求項 1 8 に記載の発明のように、サイドウォール形成工程の前に、半導体基板上に少なくともサイドウォールの形成予定部分とゲート電極の形成予定部分とを被覆するゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程と、を含み、拡散抑止膜はサイドウォールの形成予定部分を被覆するゲート絶縁膜を厚膜化することにより形成される構成を採用することができる。

【 0 0 2 3 】

また、請求項 19 に記載の発明は、窒素とシリコンとを組成中に主として含む SAC のためのサイドウォールを FET のゲート電極側部に形成するサイドウォール形成工程と、サイドウォールに含まれる元素が半導体基板表面に拡散した場合に半導体基板表面を熱酸化する熱酸化工程と、を含む構成を採用する。

【 0 0 2 4 】

さらに、請求項 20 に記載の発明は、半導体基板表面にゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に FET のゲート電極を形成するゲート電極形成工程と、窒素とシリコンとを組成中に主として含む SAC のためのサイドウォールを FET のゲート電極側部に形成するサイドウォール形成工程と、サイドウォールに含まれる元素がゲート酸化膜を介して半導体基板表面に拡散した場合にゲート絶縁膜と半導体基板とを熱酸化する熱酸化工程と、を含む構成を採用する。

【 0 0 2 5 】

以上の構成では、請求項 21 に記載の発明のように、元素には水素が含まれる構成を採用することができる。さらに、請求項 22 に記載の発明のように、元素には窒素が含まれる構成を採用することができる。

【 0 0 2 6 】

また、請求項 23 に記載の発明は、850℃以上の LP-CVD により窒素とシリコンとを組成中に主として含み FET のゲート電極上面および側面を被覆する膜を形成する工程と、RIE により当該膜をエッチバックすることにより窒化シリコンから構成される SAC のためのサイドウォールをゲート電極側部に形成するサイドウォール形成工程と、を含む構成を採用する。

【 0 0 2 7 】

さらに、請求項 24 に記載の発明は、850℃以上の LP-CVD により窒素とシリコンとを主として含み FET のゲート電極上面および側面を被覆する第 1 の膜を形成する工程と、第 1 の膜上に窒素とシリコンとを主として含む第 2 の膜を形成する工程と、RIE により第 1 および第 2 の膜をエッチバックすることにより窒素とシリコンとを主として含む SAC のためのサイドウォールをゲート電極側部に形成する工程と、を含む構成を採用する。

【0028】

さらにまた、請求項25に記載の発明は、FETがLDD構造のものであり、FETのLDD部は相互に注入エネルギーが異なる2以上のイオン注入により形成される構成を採用する。

【0029】

以上の構成を有する本願にかかる発明は、次記第1～第4の観点の少なくともいずれかにより、半導体基板表面付近でのトラップないし界面準位の発生を抑制し、FETのホットキャリア耐性を向上させることができる。

(1) 第1の観点：サイドウォールと半導体基板との間にサイドウォールから半導体基板側への元素（例えば水素や窒素等）の拡散を抑止する拡散抑止膜を形成する。

(2) 第2の観点：熱酸化により、水素や窒素が拡散している可能性がある半導体基板表面付近を酸化する。

(3) 第3の観点：サイドウォールの材料を高温雰囲気下で成膜することにより、サイドウォールから放出される水素の量、少なくともサイドウォールから半導体基板側に放出される水素の量を低減する。

(4) 第4の観点：注入エネルギーが相互に異なる複数回のイオン注入でLDD部を形成することにより、ホットキャリアの発生位置を半導体基板の深部に移動させる。

【0030】

なお、後述の各実施形態では、主に、FETとしてLDD構造を有するMOSFETを例示し、半導体基板としてシリコン基板を例示し、ゲート絶縁膜として酸化シリコンから構成されるものを例示し、拡散抑止膜として酸化シリコンから構成されるものを例示し、ゲート電極として所定不純物がドーピングされたポリシリコンから構成されるものを例示し、サイドウォールとして窒化シリコンから構成されるものを例示する。

【0031】

【発明の実施の形態】

以下、本発明の好適な実施形態について、添付図面を参照しながら詳細に説明

する。尚、以下の説明及び添付図面において、同一の機能及び構成を有する構成要素については、同一符号を付することにより、重複説明を省略する。

【0032】

(第1実施形態)

図1～図3を参照しながら、第1実施形態について説明する。ここで、図1は、本実施形態にかかる半導体装置100の要部構成を説明するための概略的な断面図である。図2は、本実施形態にかかる半導体装置の製造方法150を説明するための概略的な流れ図である。図3は、図2による説明を補足するための概略的な断面図である。

【0033】

本実施形態では、サイドウォールに含まれる水素や窒素のシリコン基板への拡散を拡散防止膜によって抑制ないし防止する。

図1に示すように、半導体装置100は、シリコン基板102と層間絶縁膜104とMOSFET110とを備えている。半導体装置100において、MOSFET110は、シリコン基板102上に形成される。層間絶縁膜104は、シリコン基板102上に積層され、MOSFET110を被覆する。なお、層間絶縁膜104は、所定の絶縁材料、例えば酸化シリコンから構成される。

【0034】

MOSFET110は、ソース領域112とドレイン領域114とゲート電極116とチャネル領域118とを備えている。ここで、ソース領域112はLDD部112aを備えており、ドレイン領域114はLDD部114aを備えている。MOSFET110において、ソース領域112とドレイン領域114とチャネル領域118とはシリコン基板102に含まれる。ゲート電極116はシリコン基板102上に設けられる。ソース領域112とドレイン領域114とは、ゲート電極116の相互に対向する2辺の近傍に形成される。チャネル領域118は、ゲート電極116下、すなわちソース領域112とドレイン領域114との間に形成される。

【0035】

ソース領域112とドレイン領域114とは、所定の導電性半導体、例えば所

定不純物がドーピングされたシリコンから構成され、相互に同一の導電性を有する。ゲート電極116は、所定の導電材料、例えば所定不純物がドーピングされたポリシリコンから構成される。チャンネル領域118は、所定の導電性半導体、例えば所定不純物がドーピングされたシリコンから構成される。なお、MOSFET110がエンハンスメント形の場合、チャンネル領域118は、ソース領域112およびドレイン領域114と逆の導電性を持つ。対して、MOSFET110がデプレッション形の場合、チャンネル領域118は、ソース領域112およびドレイン領域114と同一の導電性を持つ。

【0036】

さらに、MOSFET110は、キャップ膜120とサイドウォール122とを備えている。MOSFET110において、キャップ膜120は、ゲート電極116上面に形成される。サイドウォール122は、ゲート電極116側部のシリコン基板102上に形成されて、ゲート電極116側面を被覆する。したがって、MOSFET110では、ソース領域112およびドレイン領域114のゲート電極116近傍がサイドウォール122により被覆される。キャップ膜120およびサイドウォール122は、層間絶縁膜104とは異なる材料から構成される。キャップ膜120およびサイドウォール122は、例えば、窒化シリコンから構成される。

【0037】

さらに、MOSFET110は、ゲート酸化膜124と拡散抑止膜126とを備えている。MOSFET110において、ゲート酸化膜124と拡散抑止膜126とは、シリコン基板102表面に形成される。ゲート酸化膜124は、ゲート電極116下に形成され、拡散抑止膜126は、サイドウォール122下に形成される。すなわち、ゲート酸化膜124は、ゲート電極116とチャンネル領域118との間に形成され、拡散抑止膜126は、サイドウォール122とソース領域112との間およびサイドウォール122とドレイン領域114との間に形成される。

【0038】

拡散抑止膜126は、サイドウォール122に含まれる水素や窒素のシリコン

基板102への拡散を抑止する。本実施形態において、かかる拡散抑止膜126は、サイドウォール122内の水素や窒素が拡散しても当該水素や窒素がシリコン基板102との境界部付近まで達しない程度の膜厚を有する。ここで、拡散抑止膜126の膜厚は、サイドウォール122の幅を特に考慮して設計される。

なお、本実施形態において、拡散抑止膜126は、所定の絶縁材料、例えば酸化シリコンから構成される。

【0039】

さらに、半導体装置100は、SAC技術により形成される第1コンタクトホール106aと第1コンタクトホール106a内に埋め込み形成される第1埋込配線108aとを備えている。第1コンタクトホール106aは、キャップ膜120・サイドウォール122と層間絶縁膜104とのエッチングレートの差を利用して形成される。第1コンタクトホール106aは、層間絶縁膜104を貫通し、その底部にソース領域112表面またはドレイン領域114表面を露出させる。第1埋込配線108aは、第1コンタクトホール106a底部においてソース領域112またはドレイン領域114と接触接続される。

【0040】

さらに、半導体装置100は、第2コンタクトホール106bと第2コンタクトホール106b内に埋め込み形成される第2埋込配線108bとを備えている。第2コンタクトホール106bは、層間絶縁膜104を貫通し、その底部にゲート電極116表面を露出させる。第2埋込配線108bは、第2コンタクトホール106b底部においてゲート電極116と接触接続される。

【0041】

半導体装置100において、ソース領域112とドレイン領域114とゲート電極116とは、それぞれ半導体装置100に備えられる他の構成要素に接続される。例えば、半導体装置100が半導体メモリでありMOSFET110がメモリセルのトランジスタである場合には、ソース領域112が第1埋込配線108aを介してビットラインに接続され、ドレイン領域114が他の第1埋込配線108aを介してストレージキャパシタに接続され、ゲート電極116が第2埋込配線108bを介してワードラインに接続される。

【 0 0 4 2 】

次に、図 2 および図 3 を参照しながら、半導体装置 1 0 0 に適用可能な本実施形態にかかる半導体装置の製造方法 1 5 0 について説明する。図 2 に示すように、製造方法 1 5 0 は、少なくとも工程 S 1 ～工程 S 8 を含む。製造方法 1 5 0 において、工程 S 1 ～工程 S 8 は、この順に実施される。

【 0 0 4 3 】

工程 S 1 では、ゲート酸化膜 1 2 4 が形成される。ゲート酸化膜 1 2 4 は、シリコン基板 1 0 2 表面全体に形成される。ゲート酸化膜 1 2 4 は、例えば、シリコン基板 1 0 2 表面を酸化処理することにより、形成することができる。

【 0 0 4 4 】

工程 S 2 では、ゲート電極 1 1 6 およびキャップ膜 1 2 0 が形成される。ゲート電極 1 1 6 は、チャネル領域 1 1 8 形成予定部分のゲート酸化膜 1 2 4 上に形成される。キャップ膜 1 2 0 は、ゲート電極 1 1 6 上に形成される。工程 S 2 において、ゲート電極 1 1 6 とキャップ膜 1 2 0 とは、例えば、まず図 3 (a) に示すようにゲート電極 1 1 6 の材料膜とキャップ膜 1 2 0 の材料膜とを順次成膜し、次に図 3 (b) に示すようにフォトリソグラフィとエッチングとにより当該材料膜をパターニングすることにより、形成することができる。

【 0 0 4 5 】

工程 S 3 では、LDD 部 1 1 2 a , 1 1 4 a を形成する。LDD 部 1 1 2 a , 1 1 4 a は、例えばキャップ膜 1 2 0 をマスクとするイオン注入により、形成することができる。

【 0 0 4 6 】

工程 S 4 では、拡散抑止膜 1 2 6 が形成される。拡散抑止膜 1 2 6 は、少なくともゲート電極 1 2 4 側部のサイドウォール 1 2 2 形成予定部分に形成される。拡散抑止膜 1 2 6 は、例えば図 3 (c) に示すように CVD において成膜レートをコントロールしつつ該当部分のゲート酸化膜 1 2 4 を厚膜化することにより、形成することができる。結果として、拡散抑止膜 1 2 6 は、ゲート酸化膜 1 2 4 より大きい膜厚を有するようになる。拡散抑止膜 1 2 6 の膜厚は、例えばゲート酸化膜 1 2 4 のその 2 倍以上とすることができる。なお、拡散抑止膜 1 2 6 の

膜厚は、例えば $10\mu\text{m}\sim 20\mu\text{m}$ （100オングストローム \sim 200オングストローム）とすることができる。

【0047】

工程S5では、サイドウォール122が形成される。サイドウォール122は、ゲート電極116側部の拡散抑止膜126上に形成される。サイドウォール122は、例えば、まずLP-CVDにより所定の厚さの窒化シリコン膜をウェハ全面に形成し次に当該窒化シリコン膜に対しRIEによるエッチバックを行うことによって、形成することができる。なお、上記サイドウォール122となる窒化シリコン膜の厚さは、例えば $100\mu\text{m}\sim 200\mu\text{m}$ （1000オングストローム \sim 2000オングストローム）とすることができる。

【0048】

工程S6では、ソース領域112およびドレイン領域114が形成される。結果として、シリコン基板102上にFET110が形成される。なお、ソース領域112およびドレイン領域114は、例えば、まずサイドウォール122をスペーサとするイオン注入を行い次にアニールによる活性化を行うことにより、形成することができる。

【0049】

工程S7では、層間絶縁膜104が形成される。層間絶縁膜104は、MOSFET110を被覆するようにシリコン基板102上に積層される。層間絶縁膜104は、例えばCVDにより形成することができる。層間絶縁膜104は、サイドウォール122およびキャップ膜120と異なる絶縁材料、例えば酸化シリコンから構成される。

【0050】

工程S8では、第1コンタクトホール106aが形成される。第1コンタクトホール106aは、SAC技術を用いてエッチングにより層間絶縁膜104に形成される。すなわち、第1コンタクトホール106aは、層間絶縁膜104とサイドウォール122・キャップ膜120とのエッチングレートの差を利用して、所定のソース領域112上またはドレイン領域114上に形成される。

【0051】

なお、製造方法 1 5 0 は、工程 S 1 ～工程 S 8 以外にも、第 1 埋込配線 1 0 8 a の形成工程、第 2 コンタクトホール 1 0 6 b の形成工程、第 2 埋め込む配線 1 0 8 b の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【 0 0 5 2 】

以上説明したように、本実施形態にかかる半導体装置では、サイドウォール下に酸化シリコンから構成される拡散抑止膜が存在する。拡散抑止膜 1 2 6 は、サイドウォール 1 2 2 に含まれる水素や窒素のシリコン基板 1 0 2 側への拡散を抑止する。

【 0 0 5 3 】

したがって、本実施形態によれば、シリコン基板表面には、良質なシリコン／酸化シリコン界面が形成され、ホットキャリアのトラップが発生し易いシリコン／窒化シリコン界面は形成されない。結果として、本実施形態によれば、サイドウォール下におけるトラップ・界面準位の発生の抑制が可能となり、MOSFET のホットキャリア耐性を向上させることができる。

【 0 0 5 4 】

さらに、本実施形態にかかる半導体装置の製造方法では、ゲート電極のパターニング後に、酸化膜 CVD の条件をチューニングして拡散抑止膜を形成することができる。さらに、本実施形態にかかる半導体装置の製造方法では、熱酸化によらずに拡散抑止膜を形成することができるため、プロセス温度を低温化することができる。したがって、本実施形態によれば、拡散抑止膜の膜厚が高精度で制御可能となり、MOSFET の特性を制御し易くなる。

【 0 0 5 5 】

(第 2 実施形態)

図 4 ～図 6 を参照しながら、第 2 実施形態について説明する。ここで、図 4 は、本実施形態にかかる半導体装置 2 0 0 の要部構成を説明するための概略的な断面図である。図 5 は、本実施形態にかかる半導体装置の製造方法 2 5 0 を説明するための概略的な流れ図である。図 6 は、図 5 による説明を補足するための概略的な断面図である。

【 0 0 5 6 】

本実施形態では、サイドウォールに含まれる水素および窒素のシリコン基板側への拡散を拡散抑止膜によって抑制ないし防止する。

図 4 に示すように、本実施形態にかかる半導体装置 2 0 0 は、酸化壁 2 1 6 a を有する点で、図 1 に示す上記第 1 実施形態にかかる半導体装置 1 0 0 と相違する。半導体装置 2 0 0 は、他の構成において、図 1 に示す半導体装置 1 0 0 と実質的に共通する。

【 0 0 5 7 】

半導体装置 2 0 0 において、酸化壁 2 1 6 a は、ゲート電極 2 1 6 側面が酸化されることにより、ゲート電極 2 1 6 側面に形成される。酸化壁 2 1 6 a は、例えば酸化シリコンから構成される。

【 0 0 5 8 】

次に、図 5 および図 6 を参照しながら、半導体装置 2 0 0 に適用可能な本実施形態にかかる半導体装置の製造方法 2 5 0 について説明する。図 5 に示すように、本実施形態にかかる製造方法 2 5 0 は、少なくとも工程 S 1 1 ～工程 S 1 8 を含む。製造方法 2 5 0 において、工程 S 1 1 ～工程 S 1 8 は、この順に実施される。

【 0 0 5 9 】

製造方法 2 5 0 において、工程 S 1 1 ～工程 S 1 3、工程 S 1 5 ～工程 S 1 8 は、それぞれ、図 2 に示す上記第 1 実施形態にかかる製造方法 1 5 0 の対応工程と実質的に同一である。ここで、工程 S 1 1 は工程 S 1 に対応し、工程 S 1 2 は工程 S 2 に対応し、工程 S 1 3 は工程 S 3 に対応し、工程 S 1 5 は工程 S 5 に対応し、工程 S 1 6 は工程 S 6 に対応し、工程 S 1 7 は工程 S 7 に対応し、工程 S 1 8 は工程 S 8 に対応する。

【 0 0 6 0 】

製造方法 2 5 0 において、工程 S 1 4 では、図 6 (a) に示す状態のウェハが熱酸化処理される。結果として、図 6 (b) に示すように、ゲート電極 2 1 6 側部のシリコン基板 2 0 2 表面が酸化されて当該部分のゲート絶縁膜 2 2 4 が厚膜化することにより、拡散抑止膜 2 2 6 が形成される。同時に、ゲート電極 2 1 6

側面が酸化され、当該ゲート電極 2 1 6 側面に酸化壁 2 1 6 a が形成される。なお、工程 S 1 4 の熱酸化処理は、例えば、約 8 5 0 ℃ の酸素雰囲気中で行われる。

【 0 0 6 1 】

以上説明した半導体装置 2 0 0 の製造方法では、図 6 (c) に示すように、工程 S 6 において、サイドウォール 2 2 2 下に拡散抑止膜 2 2 6 が存在する。したがって、ソース領域 2 1 2 およびドレイン領域 2 1 4 を活性化するためにアニールを行った場合にも、拡散抑止膜 2 2 6 により、サイドウォール 2 2 2 に含まれる水素や窒素のシリコン基板 2 0 2 への拡散が抑制ないし防止される。結果として、サイドウォール 2 2 2 下におけるトラップの発生が防止され、製造される M O S F E T 2 1 0 に特性の劣化が生じづらくなる。

【 0 0 6 2 】

本実施形態にかかる製造方法 2 5 0 は、工程 S 1 1 ～工程 S 1 8 以外にも、第 1 埋込配線の形成工程、第 2 コンタクトホール形成工程、第 2 埋め込む配線の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【 0 0 6 3 】

以上説明したように、本実施形態にかかる半導体装置では、サイドウォール下に酸化シリコンから構成される拡散抑止膜が存在する。したがって、シリコン基板表面には、良質なシリコン／酸化シリコン界面が形成され、ホットキャリアのトラップが発生し易いシリコン／窒化シリコン界面は形成されない。結果として、本実施形態によれば、サイドウォール下におけるトラップ・界面準位の発生の抑制が可能となり、M O S F E T のホットキャリア耐性を向上させることができる。

【 0 0 6 4 】

(第 3 実施形態)

図 7 ～図 9 を参照しながら、第 3 実施形態について説明する。ここで、図 7 は、本実施形態にかかる半導体装置 3 0 0 の要部構成を説明するための概略的な断面図である。図 8 は、本実施形態にかかる半導体装置の製造方法 3 5 0 を説明す

るための概略的な流れ図である。図 9 は、図 8 による説明を補足するための概略的な断面図である。

【 0 0 6 5 】

本実施形態では、サイドウォールに含まれる水素および窒素のシリコン基板側への拡散を拡散抑止膜により抑制する。また、本実施形態では、水素や窒素が拡散したゲート酸化膜・シリコン基板を熱酸化することにより、シリコン基板表面付近でのトラップ・界面準位の発生を抑制する。

【 0 0 6 6 】

図 7 に示すように、本実施形態にかかる半導体装置 3 0 0 は、構造的には、図 1 に示す上記第 1 実施形態にかかる半導体装置 1 0 0 と略同一である。しかし、半導体装置 3 0 0 は、その製造方法において、図 1 に示す上記第 1 実施形態にかかる半導体装置 1 0 0 と相違する。

【 0 0 6 7 】

図 8 および図 9 を参照しながら、半導体装置 3 0 0 に適用可能な本実施形態にかかる製造方法 3 5 0 について説明する。図 8 に示すように、本実施形態にかかる製造方法 3 5 0 は、少なくとも工程 S 2 1 ～工程 S 2 8 を含む。製造方法 3 5 0 において、工程 S 2 1 ～工程 S 2 8 は、この順に実施される。

【 0 0 6 8 】

製造方法 3 5 0 において、工程 S 2 1 ～工程 S 2 3、工程 S 2 6 ～工程 S 2 8 は、それぞれ、図 2 に示す上記第 1 実施形態にかかる製造方法 1 5 0 の対応工程と実質的に同一である。ここで、工程 S 2 1 は工程 S 1 に対応し、工程 S 2 2 は工程 S 2 に対応し、工程 S 2 3 は工程 S 3 に対応し、工程 S 2 6 は工程 S 6 に対応し、工程 S 2 7 は工程 S 7 に対応し、工程 S 2 8 は工程 S 8 に対応する。

【 0 0 6 9 】

製造方法 3 5 0 において、工程 S 2 3 の終了時には、図 9 (a) に示す状態のウェハが形成される。図 9 (b) に示すように、工程 S 2 4 では、かかるウェハ上にサイドウォール 3 2 2 が形成される。サイドウォール 3 2 2 は、ゲート電極 3 1 6 側部のゲート酸化膜 3 2 4 上に形成される。サイドウォール 3 2 2 は、例えば、まず L P - C V D により所定の厚さの窒化シリコン膜をウェハ全面に形成

し次に当該窒化シリコン膜に対しR I Eによるエッチバックを行うことによって、形成することができる。なお、上記サイドウォール322となる窒化シリコン膜の厚さは、例えば100 μ m \sim 200 μ m (1000オングストローム \sim 2000オングストローム)とすることができる。

【0070】

図9(c)に示すように、工程S25では、サイドウォール322下に拡散抑止膜326が形成される。拡散抑止膜326は、図9(b)に示すウェハを熱酸化処理しサイドウォール322下のゲート酸化膜324を厚膜化することにより、形成される。

【0071】

かかる熱酸化処理において、サイドウォール322下のゲート酸化膜324の厚膜化は、サイドウォール322のエッジ部分322aから始まり、次第にゲート電極316付近にまで拡がる。上記熱酸化処理では、さらに、拡散抑止膜326の形成過程で、サイドウォール322から水素や窒素が拡散したシリコン基板302表面およびゲート酸化膜324が酸化される。上記熱酸化処理は、例えば約850℃の酸素雰囲気中で行われる。

【0072】

本実施形態にかかる製造方法350は、工程S21 \sim 工程S28以外にも、第1埋込配線の形成工程、第2コンタクトホール形成工程、第2埋め込む配線の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【0073】

以上説明した本実施形態にかかる半導体装置では、サイドウォール下に酸化シリコンから構成される拡散抑止膜が存在する。拡散抑止膜は、サイドウォールから半導体基板側への水素や窒素の拡散を抑止する。

【0074】

したがって、シリコン基板表面には、良質なシリコン/酸化シリコン界面が形成され、ホットキャリアのトラップが発生し易いシリコン/窒化シリコン界面は形成されない。結果として、本実施形態によれば、サイドウォール下におけるト

ラップ・界面準位の発生の抑制が可能となり、MOSFETのホットキャリア耐性を向上させることができる。

【0075】

さらに、本実施形態では、サイドウォール形成後に、拡散抑止膜の形成時の熱酸化処理により、サイドウォールからゲート酸化膜に拡散した水素を還元することができる。したがって、本実施形態は、サイドウォール下およびゲート酸化膜の膜質改善効果が上記第1、第2実施形態よりも高い。

【0076】

さらにまた、本実施形態では、サイドウォール形成後の熱酸化処理により拡散抑止膜が形成されるため、当該熱酸化処理によるゲート電極側面の酸化が生じない。したがって、本実施形態によれば、ゲート電極のシート抵抗の変動を抑制することができる。

【0077】

(第4実施形態)

図10～図12を参照しながら、第4実施形態について説明する。ここで、図10は、本実施形態にかかる半導体装置400の要部構成を説明するための概略的な断面図である。図11は、本実施形態にかかる半導体装置の製造方法450を説明するための概略的な流れ図である。図12は、図11による説明を補足するための概略的な断面図である。

【0078】

本実施形態では、サイドウォールに含まれる水素および窒素のシリコン基板側への拡散を拡散抑止膜により抑制する。また、本実施形態では、水素や窒素が拡散したゲート酸化膜・シリコン基板を熱酸化することにより、シリコン基板表面付近でのトラップ・界面準位の発生を抑制する。

【0079】

図10に示すように、本実施形態にかかる半導体装置400は、拡散防止膜の代わりに拡散抑止膜を有する点で、図7に示す上記第3実施形態にかかる半導体装置300と相違する。さらに、半導体装置400は、層間絶縁膜がBPSG (Boro-Phospho Silicate Glass) から構成される点

で、図 7 に示す半導体装置 3 0 0 と相違する。半導体装置 3 0 0 は、他の構成において、図 7 に示す半導体装置 3 0 0 と実質的に共通する。

【 0 0 8 0 】

次に、図 1 1 および図 1 2 を参照しながら、半導体装置 4 0 0 に適用可能な本実施形態にかかる半導体装置の製造方法 4 5 0 について説明する。図 1 1 に示すように、本実施形態にかかる製造方法 4 5 0 は、少なくとも工程 S 3 1 ~ S 3 8 を含む。製造方法 4 5 0 において、工程 S 3 1 ~ S 3 8 は、この順に実施される。

【 0 0 8 1 】

製造方法 4 5 0 において、工程 S 3 1 ~ 工程 S 3 4、工程 S 3 8 は、それぞれ、図 8 に示す上記第 3 実施形態にかかる製造方法 3 5 0 の対応工程と実質的に同一である。ここで、工程 S 3 1 は工程 S 2 1 に対応し、工程 S 3 2 は工程 S 2 2 に対応し、工程 S 3 3 は工程 S 2 3 に対応し、工程 S 3 4 は工程 S 2 4 に対応し、工程 S 3 8 は工程 S 2 8 に対応する。

【 0 0 8 2 】

製造方法 4 5 0 において、工程 S 3 5 では、図 1 2 (a) に示すように、ソース領域 4 1 2 およびドレイン領域 4 1 4 が形成される。結果として、シリコン基板 4 0 2 上に F E T 4 1 0 が形成される。なお、ソース領域 4 1 2 およびドレイン領域 4 1 4 は、例えば、まずサイドウォール 4 2 2 をスペーサとするイオン注入を行い次にアニールによる活性化を行うことにより、形成することができる。

【 0 0 8 3 】

工程 S 3 6 では、図 1 2 (b) に示すように、層間絶縁膜 4 0 4 が形成される。本実施形態において、層間絶縁膜 4 0 4 は B P S G から構成される。層間絶縁膜 4 0 4 は、M O S F E T 4 1 0 を被覆するようにシリコン基板 4 0 2 上に積層される。工程 S 3 6 において、層間絶縁膜 4 0 4 は、例えば C V D により形成することができる。工程 S 3 6 において、層間絶縁膜 4 0 4 の層厚は、例えば 3 0 0 μ m ~ 5 0 0 μ m (3 0 0 0 オングストローム ~ 5 0 0 0 オングストローム) とすることができる。

【 0 0 8 4 】

工程 S 3 7 では、図 1 2 (c) に示すように、拡散抑止膜 4 2 6 が形成される。拡散抑止膜 4 2 6 は、図 1 2 (b) に示す状態のウェハを熱処理しサイドウォール 4 2 2 下のシリコン基板 4 0 2 表面を熱酸化することにより、形成することができる。かかる工程 S 3 7 において、サイドウォール 4 2 2 下のゲート酸化膜 4 2 4 の熱酸化は、サイドウォール 4 2 2 のエッジ部分 4 2 2 a から始まり、次第にゲート電極 4 1 6 付近にまで拡がる。なお、工程 S 3 7 における熱処理は、例えば約 8 5 0 °C の酸素雰囲気中で行われる。

【 0 0 8 5 】

本実施形態では、工程 S 3 7 前には、サイドウォール 4 2 2 下に拡散抑止膜 4 2 6 が存在しない。したがって、サイドウォール 4 2 2 に含まれる水素や窒素がゲート酸化膜 4 2 4 を介してシリコン基板 4 0 2 側に拡散し易い。しかし、その様に水素や窒素が拡散しても、工程 S 3 7 における拡散抑止膜 4 2 6 の形成過程でゲート酸化膜 4 2 4 およびシリコン基板 4 0 2 表面が酸化される。結果として、製造方法 4 5 0 では、サイドウォール 4 2 2 下におけるトラップの発生が防止され、製造される MOSFET 4 1 0 に特性の劣化が生じづらくなる。

【 0 0 8 6 】

本実施形態にかかる製造方法 4 5 0 は、工程 S 3 1 ~ 工程 S 3 8 以外にも、第 1 埋込配線の形成工程、第 2 コンタクトホール形成工程、第 2 埋め込む配線の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【 0 0 8 7 】

以上説明した本実施形態によれば、サイドウォールから一旦拡散した水素や窒素が拡散抑止膜の形成により酸素に置き換えられる。結果として、本実施形態によれば、サイドウォール下におけるトラップ・界面準位の発生の抑制が可能となり、MOSFET のホットキャリア耐性を向上させることができる。

【 0 0 8 8 】

さらに、本実施形態では、サイドウォール形成後の熱処理により拡散抑止膜が形成されるため、当該熱処理によるゲート電極側面の酸化が生じない。したがって、本実施形態によれば、ゲート電極のシート抵抗の変動を抑制することができ

る。

【0089】

さらにまた、本実施形態によれば、拡散抑止膜の形成フローと層間絶縁膜の平坦化のためのBP SGフローとを単一の工程で実施することができる。したがって、本実施形態によれば、工程の簡略化を図ることができる。

【0090】

(第5実施形態)

図13～図15を参照しながら、第5実施形態について説明する。ここで、図13は、本実施形態にかかる半導体装置500の要部構成を説明するための概略的な断面図である。図14は、本実施形態にかかる半導体装置の製造方法550を説明するための概略的な流れ図である。図15は、図14による説明を補足するための概略的な断面図である。

【0091】

本実施形態では、サイドウォールを高温雰囲気下で形成することにより、サイドウォールから放出される水素の量を全体的に低減する。

図13に示すように、本実施形態にかかる半導体装置500は、拡散防止膜を有さない点で、図1に示す上記第1実施形態にかかる半導体装置100と相違する。さらに、半導体装置500は、サイドウォール522の形成方法に本実施形態にかかる特徴を有する。半導体装置500は、他の構成において、図1に示す半導体装置100と実質的に共通する。

【0092】

図14および図15を参照しながら、半導体装置500に適用可能な半導体装置の製造方法550について説明する。図14に示すように、製造方法550は、少なくとも工程S41～工程S47を含む。製造方法550において、工程S41～工程S47は、この順に実施される。

【0093】

製造方法550において、工程S41～工程S43、工程S45～工程S47は、それぞれ、図2に示す上記第1実施形態にかかる製造方法150の対応工程と実質的に同一である。ここで、工程S41は工程S1に対応し、工程S42は

工程 S 2 に対応し、工程 S 4 3 は工程 S 3 に対応し、工程 S 4 5 は工程 S 6 に対応し、工程 S 4 6 は工程 S 7 に対応し、工程 S 4 7 は工程 S 8 に対応する。

【 0 0 9 4 】

製造方法 5 5 0 では、工程 S 4 3 の終了時に、図 1 5 (a) に示す状態のウェハが形成される。工程 S 4 4 では、図 1 5 (b) に示すように、かかるウェハ上にサイドウォール 5 2 2 が形成される。工程 S 4 4 において、サイドウォール 5 2 2 は、まず LP-CVD により所定の厚さの窒化シリコン膜をウェハ全面に形成し次に当該窒化シリコン膜に対し RIE によるエッチバックを行うことによって、形成される。

【 0 0 9 5 】

本実施形態では、工程 S 4 4 の LP-CVD は、約 8 5 0 ℃ 以上（特に 8 5 0 ℃ ～ 9 0 0 ℃）の高温雰囲気で行われる。製造方法 5 5 0 では、工程 S 4 4 において約 8 5 0 ℃ 以上の温度条件で LP-CVD により窒化シリコンを成膜することにより、後の工程でサイドウォール 5 2 2 から放出される水素の量を低減することができる。したがって、サイドウォール 5 2 2 からゲート酸化膜 5 2 4 を介してシリコン基板 5 0 2 に拡散する水素の量が低減し、シリコン基板 5 0 2 表面付近でのトラップの発生が抑制される。

【 0 0 9 6 】

なお、一般的な LP-CVD は、約 7 8 0 ℃ 程度の温度条件で実施される。約 8 5 0 ℃ 以上の温度条件は、一般的な LP-CVD 装置の炉心の耐熱限界を越える。

【 0 0 9 7 】

本実施形態にかかる製造方法 5 5 0 は、工程 S 4 1 ～工程 S 4 7 以外にも、第 1 埋込配線の形成工程、第 2 コンタクトホール形成工程、第 2 埋め込む配線の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【 0 0 9 8 】

以上説明したように、本実施形態によれば、CVD 過程で乖離した水素がシリコン基板表面のシリコン／窒化シリコン界面に到達しづらくなる。発明者等の知

見によれば、当該水素の量は、約780℃の温度条件でサイドウォール形成のためのLP-CVDを行った場合の1/3程度に低減することができる。

【0099】

したがって、本実施形態によれば、シリコン/窒化シリコン界面でのトラップの発生が抑制され、さらにサイドウォール中の水素のゲート酸化膜・シリコン基板への拡散が抑制される。結果として、本実施形態によれば、MOSFETのホットキャリア耐性を向上させることができる。

【0100】

(第6実施形態)

図16～図18を参照しながら、第6実施形態について説明する。ここで、図16は、本実施形態にかかる半導体装置600の要部構成を説明するための概略的な断面図である。図17は、本実施形態にかかる半導体装置の製造方法650を説明するための概略的な流れ図である。図18は、図17による説明を補足するための概略的な断面図である。

【0101】

本実施形態では、サイドウォールを複数層から構成しその最下層の成膜を高温雰囲気下で行うことにより、サイドウォールからその下方に放出される水素の量を低減する。

図16に示すように、本実施形態にかかる半導体装置600は、サイドウォールの構成が、図13に示す上記第5実施形態にかかる半導体装置500と相違する。半導体装置600は、他の構成において、図13に示す半導体装置500と実質的に共通する。

【0102】

半導体装置600において、サイドウォール622は、シリコン基板602側に形成される第1膜622aと、第1膜622a上に形成される第2膜622bと、を備えている。第1膜622aは例えば850℃～900℃程度の高温雰囲気下でLP-CVDにより形成されたものであり、第2膜622bは例えば780℃程度の一般的な温度条件下でLP-CVDにより形成されたものである。

【0103】

図17および図18を参照しながら、半導体装置600に適用可能な本実施形態にかかる半導体装置の製造方法650について説明する。図17に示すように、本実施形態にかかる製造方法650は、少なくとも工程S51～工程S57を含む。製造方法650では、工程S51～工程S57は、この順に実施される。

【0104】

製造方法650において、工程S51～工程S53、工程S54～工程S57は、それぞれ、図14に示す上記第5実施形態にかかる製造方法550の対応工程と実質的に同一である。ここで、工程S51は工程S41に対応し、工程S52は工程S42に対応し、工程S53は工程S43に対応し、工程S55は工程S45に対応し、工程S56は工程S46に対応し、工程S57は工程S47に対応する。

【0105】

製造方法650において、工程S54は以下のように実施される。まず、図18(a)に示すように、約850℃以上の高温雰囲気でLP-CVDによりウェハ表面全体に第1の窒化シリコン膜622a'が形成される。次に、図18(b)に示すように、約780℃の通常の温度条件下でLP-CVDにより第1の窒化シリコン膜622a'上に第2の窒化シリコン膜622b'が形成される。次に、図18(c)に示すように、第1の窒化シリコン膜622a'および第2の窒化シリコン膜622b'に対しRIEによるエッチバックを行う。

【0106】

結果として、ゲート電極616側部にサイドウォール622が形成される。ここで、上記エッチバック後にゲート電極616側部に残留する第1の窒化シリコン膜622a'が第1膜622aとなり、上記エッチバック後にゲート電極616側部に残留する第2の窒化シリコン膜622b'が第2膜622bとなる。

【0107】

なお、本実施形態では、第1の窒化シリコン膜622a'の膜厚を例えば20 μm ～40 μm (200オングストローム～400オングストローム)とし、第2の窒化シリコン膜622b'の膜厚を例えば80 μm ～160 μm (800オングストローム～1600オングストローム)とすることができる。

【0108】

本実施形態にかかる製造方法650は、工程S51～工程S57以外にも、第1埋込配線の形成工程、第2コンタクトホール形成工程、第2埋め込む配線の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【0109】

以上説明したように、本実施形態によれば、第1の窒化シリコン膜により、第2の窒化シリコン膜の形成過程で乖離した水素がシリコン基板表面のシリコン／窒化シリコン界面に到達しづらくなる。したがって、本実施形態によれば、上記第6実施形態以上にシリコン／窒化シリコン界面でのトラップの発生が抑制され、さらにサイドウォール中の水素のゲート酸化膜・シリコン基板への拡散が抑制される。結果として、本実施形態によれば、MOSFETのホットキャリア耐性を向上させることができる。

【0110】

(第7実施形態)

図19～図22を参照しながら、第7実施形態について説明する。ここで、図19は、本実施形態にかかる半導体装置700の要部構成を説明するための概略的な断面図である。図20は、本実施形態にかかる半導体装置の製造方法750を説明するための概略的な流れ図である。図21は、図20による説明を補足するための概略的な断面図である。図22は、半導体装置700のLDD部712a、714aの不純物プロファイルを示す概略的な図である。

【0111】

本実施形態では、LDD部を複数回のイオン注入で形成することにより、ホットキャリアの発生位置をトラップないし界面準位の発生位置から離れた半導体基板の深部に移動させる。

図19に示すように、本実施形態にかかる半導体装置700は、拡散防止膜を有さない点で、図1に示す上記上記第1実施形態にかかる半導体装置100と相違する。さらに、半導体装置700は、LDD部の構成が、図1に示す半導体装置100と相違する。半導体装置700は、他の構成において、図1に示す半導

体装置100と実質的に共通する。

【0112】

半導体装置700において、LDD部712aは、シリコン基板702表面付近に形成される浅い部分712a1と、浅い部分712a1下に形成される深い部分712a2と、から構成される。また、LDD部714aは、シリコン基板702表面付近に形成される浅い部分714a1と、浅い部分714a1下に形成される深い部分714a2と、から構成される。

【0113】

次に、図20～図22を参照しながら、半導体装置700に適用可能な本実施形態にかかる製造方法750について説明する。図20に示すように、製造方法750は、少なくとも工程S61～工程S67を含む。製造方法750において、工程S61～工程S67は、この順に実施される。

【0114】

製造方法750において、工程S61、工程S62、工程S64～工程S67は、それぞれ、図2に示す上記第1実施形態にかかる製造方法150の対応工程と実質的に同一である。ここで、工程S61は工程S1に対応し、工程S62は工程S2に対応し、工程S64は工程S5に対応し、工程S65は工程S6に対応し、工程S66は工程S7に対応し、工程S67は工程S8に対応する。

【0115】

製造方法750において、工程S63では、注入エネルギーの相互に異なる2度のイオン注入によりLDD部712が形成される。工程S63において、1度目のイオン注入では、例えば図21(a)に示すように浅い部分712a1、714a1が形成され、2度目のイオン注入では、例えば図21(b)に示すように深い部分712a2、714a2が形成される。

【0116】

なお、本実施形態では、1度目のイオン注入では、例えば、不純物としてリンを用い注入エネルギーを約20KeVに設定することができる。また、2度目のイオン注入では、例えば、不純物としてリンを用い注入エネルギーを約70KeVに設定することができる。

【 0 1 1 7 】

結果として、本実施形態にかかる L D D 部 7 1 2 a, 7 1 4 a は、図 2 2 に示すような深さ方向の不純物プロファイルを持つこととなる。なお、図 2 2 には、L D D 部 7 1 2 a, 7 1 4 a との比較のために、1 度のイオン注入により形成した一般的な L D D 部の不純物プロファイルも示してある。

【 0 1 1 8 】

図 2 2 に示すように、L D D 部 7 1 2 a, 7 1 4 a では、一般的な L D D 部と比べて、不純物濃度のピークが深くなる。したがって、本実施形態では、一般的な L D D 部を有する構成と比べて、ホットキャリアの発生位置が半導体基板の深部に移動することとなる。

【 0 1 1 9 】

本実施形態にかかる製造方法 7 5 0 は、工程 S 6 1 ~ 工程 S 6 7 以外にも、第 1 埋込配線の形成工程、第 2 コンタクトホールの形成工程、第 2 埋め込む配線の形成工程、その他の工程を含む。しかし、それらについては、詳細な説明を省略する。

【 0 1 2 0 】

以上説明したように本実施形態によれば、L D D 部を 2 度のイオン注入で形成することにより、ホットキャリア発生位置近傍における電界集中が緩和される。したがって、ホットキャリアの発生確率が低下するとともに、ホットキャリアの発生位置が通常よりも深くなる。

【 0 1 2 1 】

よって、本実施形態では、シリコン基板表面付近に形成されるシリコン/窒化シリコン界面へ到達するホットキャリアの数が減少し、シリコン/窒化シリコン界面でのホットキャリアトラップの確率が低下する。結果として、本実施形態によれば、M O S F E T のホットキャリア耐性を向上させることができる。

【 0 1 2 2 】

さらに、本実施形態では、2 度のイオン注入のうち一方は、注入エネルギーを低く抑えることができる。したがって、本実施形態によれば、M O S F E T の電流特性を維持したまま、ホットキャリア耐性を改善することができる。

【 0 1 2 3 】

以上、本発明に係る好適な実施の形態について説明したが、本発明はかかる構成に限定されない。当業者であれば、特許請求の範囲に記載された技術思想の範囲内において、各種の修正例及び変更例を想定しうるものであり、それら修正例及び変更例についても本発明の技術範囲に包含されるものと了解される。

【 0 1 2 4 】

例えば、上記実施形態では、酸化シリコンから構成されるゲート絶縁膜を備える半導体装置およびその製造方法例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な絶縁材料、例えば酸化アルミニウムや酸化ストロンチウム等から構成されるゲート絶縁膜を備える半導体装置およびその製造方法に対しても適用することができる。

【 0 1 2 5 】

上記実施形態では、酸化シリコンから構成される酸化抑止膜を備える半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な絶縁材料、例えば酸化アルミニウムや酸化ストロンチウム等から構成される酸化抑止膜を備える半導体装置およびその製造方法に対しても適用することができる。

【 0 1 2 6 】

上記実施形態では、窒化シリコンから構成されるキャップ膜を備える半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な絶縁材料、例えば酸化アルミニウムや酸化ストロンチウム等から構成される酸化抑止膜を備える半導体装置およびその製造方法に対しても適用することができる。本発明において、キャップ膜の材料は、層間絶縁膜の材料と異なる絶縁材料であればよい。

【 0 1 2 7 】

上記実施形態では、所定不純物がドーピングされたポリシリコンから構成されるゲート電極を備える半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な導電材料、例えば、所定不純物をドーピングしたシリコン、多結晶シリコン、金属シリサイド、金属、或いは

それらの積層体等から構成されるゲート電極を備える半導体装置およびその製造方法に対しても適用することができる。

【 0 1 2 8 】

上記実施形態では、酸化シリコンから構成される層間絶縁膜を備える半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な絶縁材料から構成される層間絶縁膜を備える半導体装置およびその製造方法に対しても適用することができる。なお、層間絶縁膜は、サイドウォールと異なるエッチングレートを有する材料から構成することが好適である。

【 0 1 2 9 】

上記実施形態では、半導体基板としてシリコン基板を適用した半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な半導体基板、例えば、ガリウムヒ素（GaAs）基板その他の半導体基板を適用した半導体装置およびその製造方法に対しても適用することができる。

【 0 1 3 0 】

上記実施形態では、LDD構造のFETを備える半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、LDD構造を有さないFETを備える半導体装置およびその製造方法に対しても適用することができる。

【 0 1 3 1 】

上記実施形態では、SAC技術によるコンタクトホールがソース領域112上およびドレイン領域上の双方に形成される半導体装置およびその製造方法を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な構成、例えば、SAC技術によるコンタクトホールがドレイン領域上にのみ形成される構成、或いはSAC技術によるコンタクトホールがソース領域上にのみ形成される構成等を有する半導体装置およびその製造方法に対しても適用することができる。

【 0 1 3 2 】

上記実施形態では、絶縁ゲート形のFETを例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々なFET、例えば接合ゲート形のFETやショットキー障壁形のFET等に対しても適用することができる。

【0133】

本発明は、FETを備える様々な半導体装置およびその製造方法、例えば、FETを備える増幅回路、FETを備える高周波回路、FETを備える低周波回路、FETを備えるデジタル回路、FETを備えるアナログ回路、或いはそれらを組み合わせた回路等に対して適用することができる。なお、本発明は、LSIなどのゲート電極とコンタクトホールとの間にアライメント余裕が確保しづらい集積度が高い半導体装置およびその製造方法に適用すると効果的である。

【0134】

【発明の効果】

本発明によれば、ホットキャリア耐性が高いMOSFETを備える半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明を適用可能な半導体装置の要部構成を説明するための概略的な断面図である。

【図2】

本発明を適用可能な半導体装置の製造方法を説明するための概略的な流れ図である。

【図3】

図2による説明を補足するための概略的な断面図である。

【図4】

本発明を適用可能な他の半導体装置の要部構成を説明するための概略的な断面図である。

【図5】

本発明を適用可能な他の半導体装置の製造方法を説明するための概略的な流れ図である。

【図 6】

図 5 による説明を補足するための概略的な断面図である。

【図 7】

本発明を適用可能な他の半導体装置の要部構成を説明するための概略的な断面図である。

【図 8】

本発明を適用可能な他の半導体装置の製造方法を説明するための概略的な流れ図である。

【図 9】

図 8 による説明を補足するための概略的な断面図である。

【図 1 0】

本発明を適用可能な他の半導体装置の要部構成を説明するための概略的な断面図である。

【図 1 1】

本発明を適用可能な他の半導体装置の製造方法を説明するための概略的な流れ図である。

【図 1 2】

図 1 1 による説明を補足するための概略的な断面図である。

【図 1 3】

本発明を適用可能な他の半導体装置の要部構成を説明するための概略的な断面図である。

【図 1 4】

本発明を適用可能な他の半導体装置の製造方法を説明するための概略的な流れ図である。

【図 1 5】

図 1 4 による説明を補足するための概略的な断面図である。

【図 1 6】

本発明を適用可能な他の半導体装置の要部構成を説明するための概略的な断面図である。

【図 1 7】

本発明を適用可能な他の半導体装置の製造方法を説明するための概略的な流れ図である。

【図 1 8】

図 1 7 による説明を補足するための概略的な断面図である。

【図 1 9】

本発明を適用可能な他の半導体装置の要部構成を説明するための概略的な断面図である。

【図 2 0】

本発明を適用可能な他の半導体装置の製造方法を説明するための概略的な流れ図である。

【図 2 1】

図 1 4 による説明を補足するための概略的な断面図である。

【図 2 2】

図 1 9 に示す半導体装置の L D D 部の不純物プロファイルを示す概略的な図である。

【図 2 3】

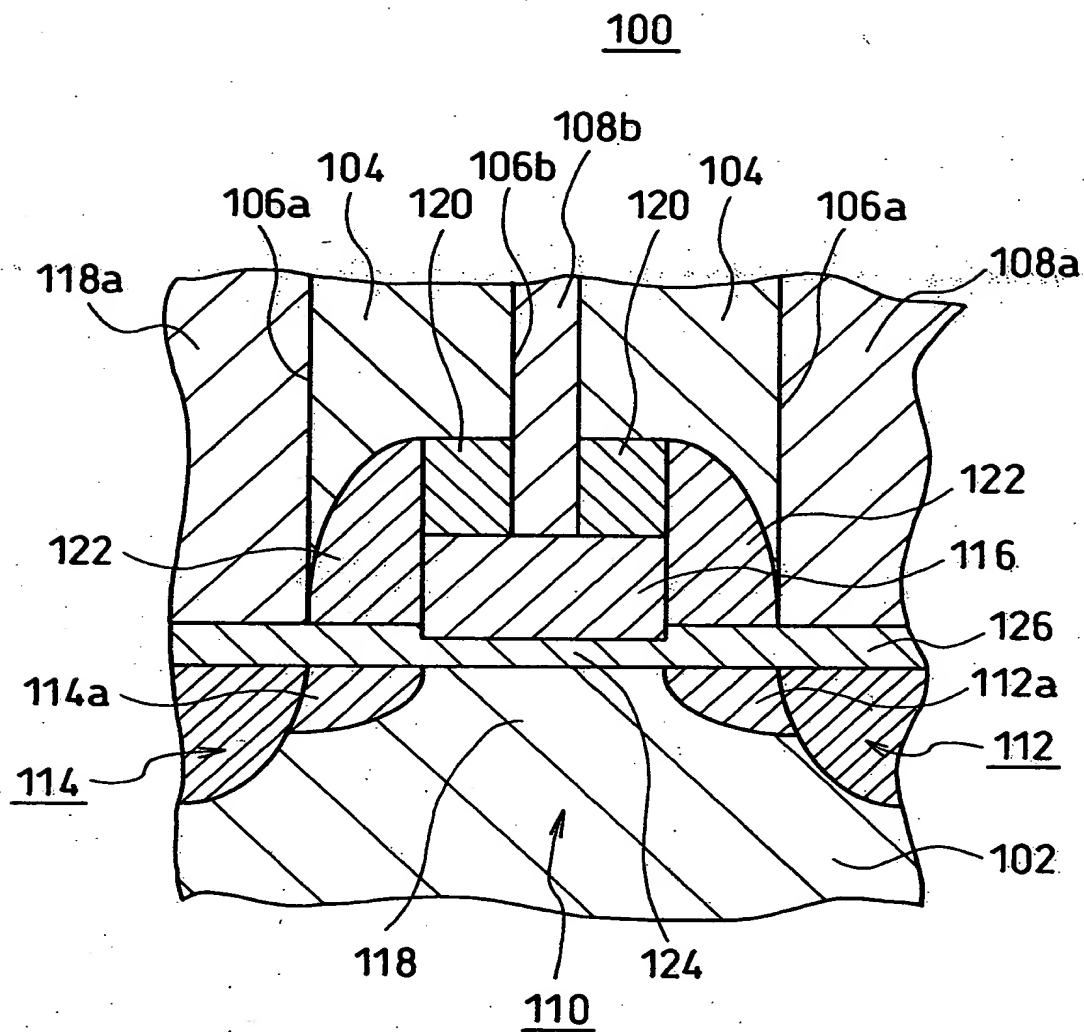
従来の半導体装置を説明するための概略的な断面図である。

【符号の説明】

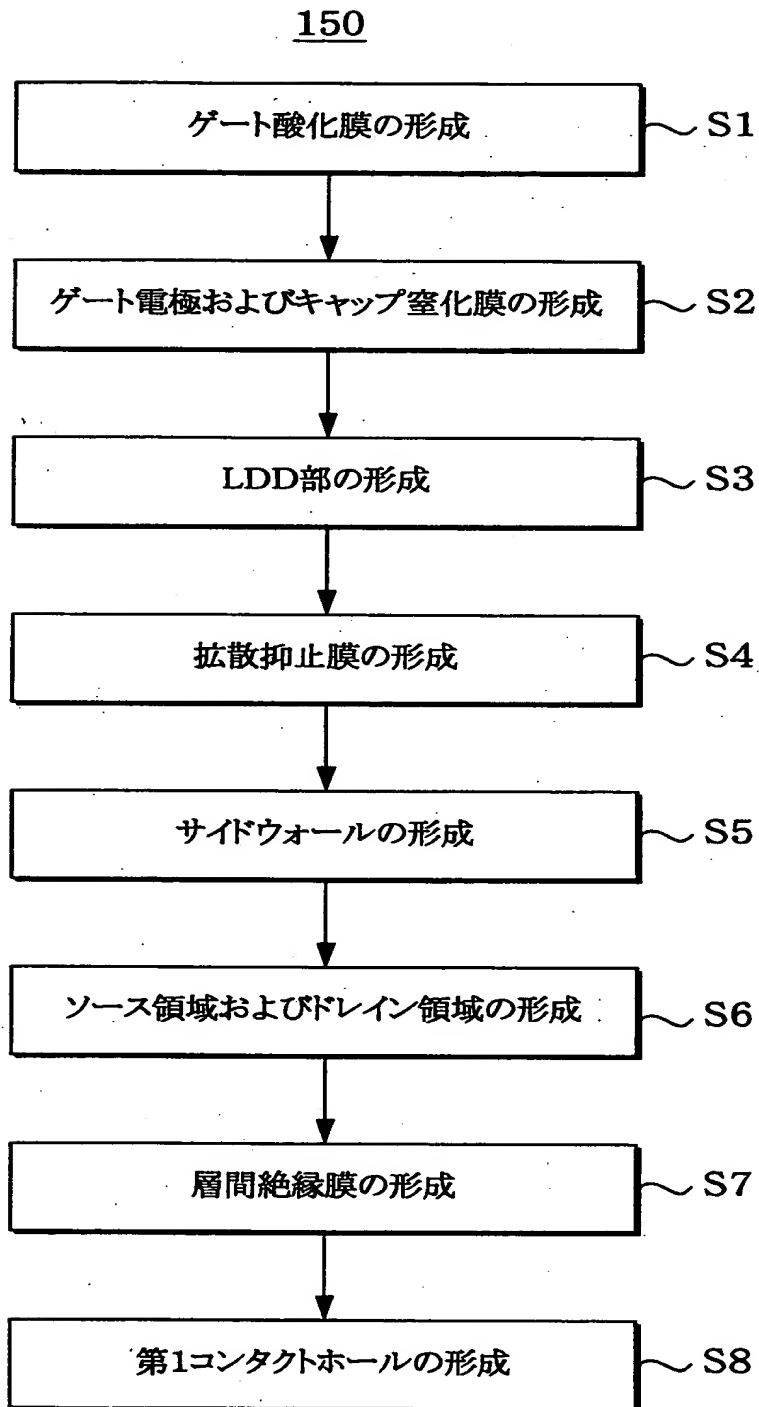
1 0 0	半導体装置
1 1 0	M O S F E T
1 0 2	シリコン基板
1 0 4	層間絶縁膜
1 1 6	ゲート電極
1 2 2, 5 2 2, 6 2 2	サイドウォール
1 2 4	ゲート酸化膜
1 2 6	拡散抑止膜
7 1 2 a, 7 1 4 a	L D D 部

【書類名】 図面

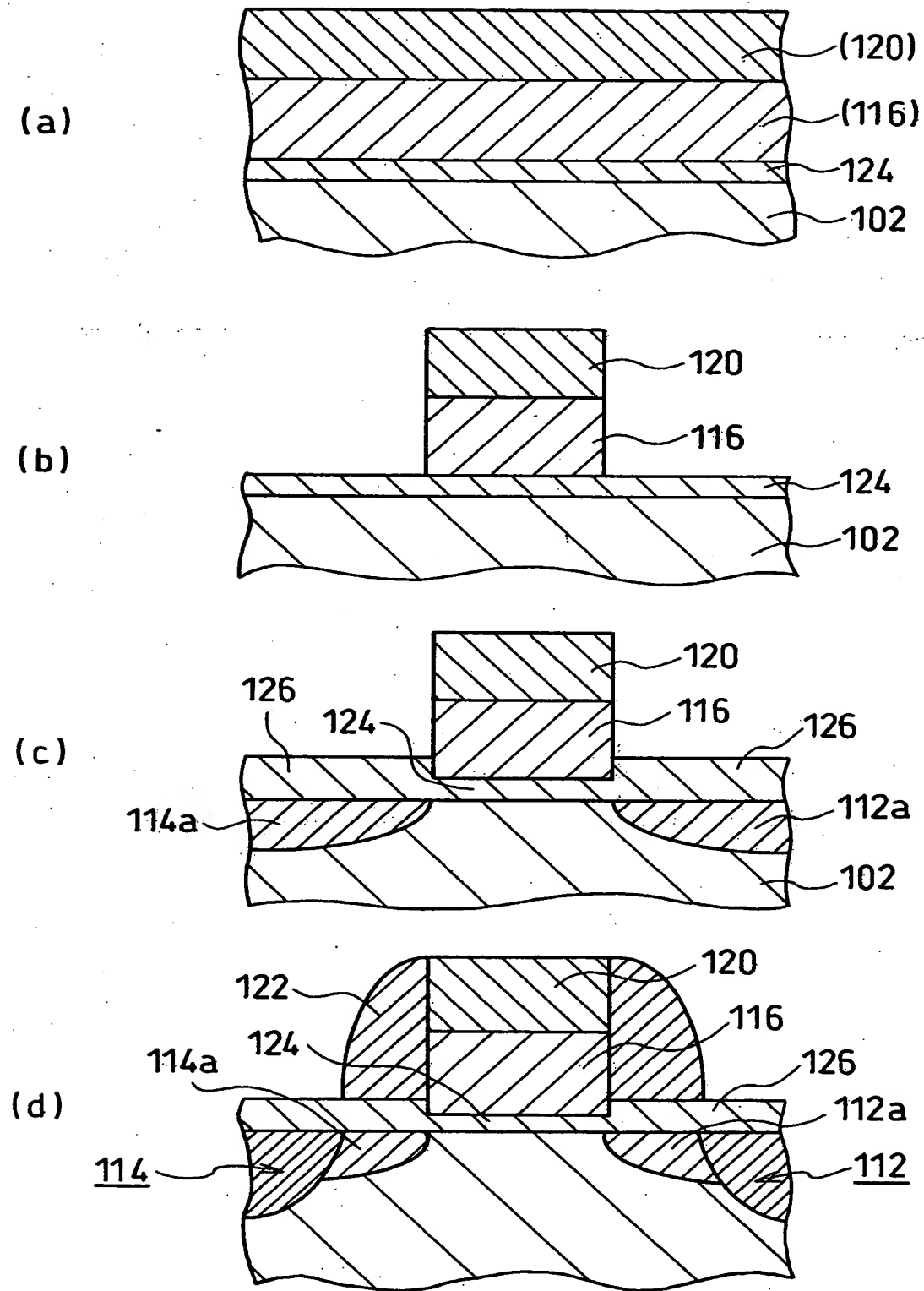
【図 1】



【図 2】

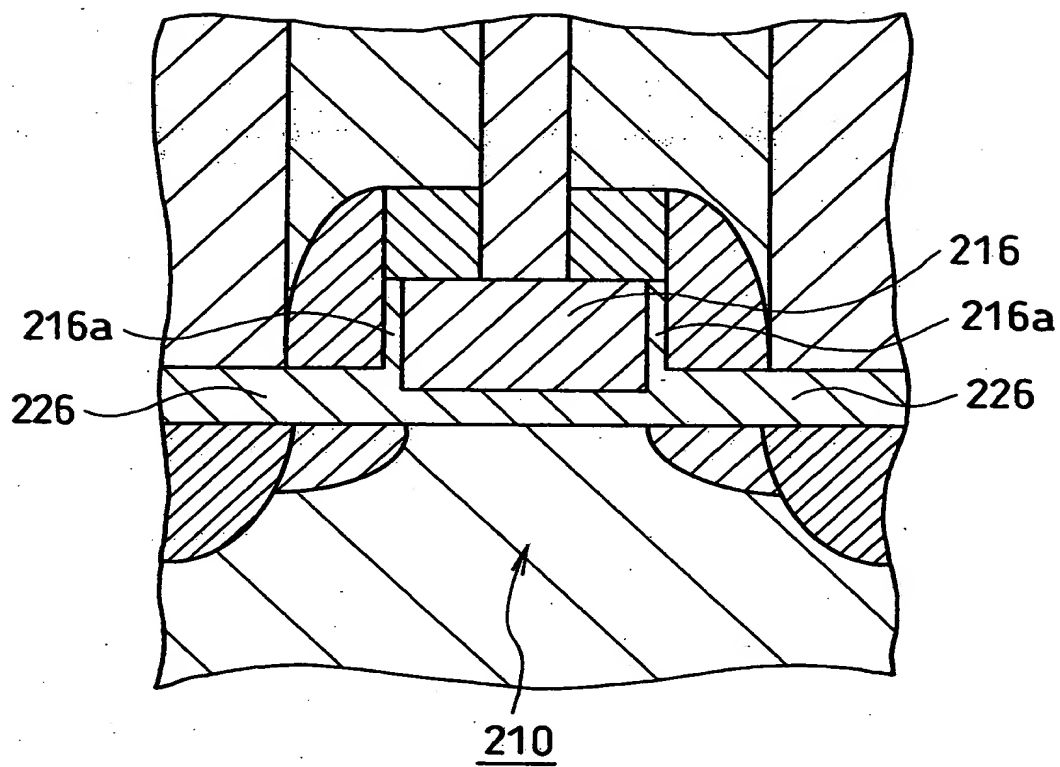


【図3】

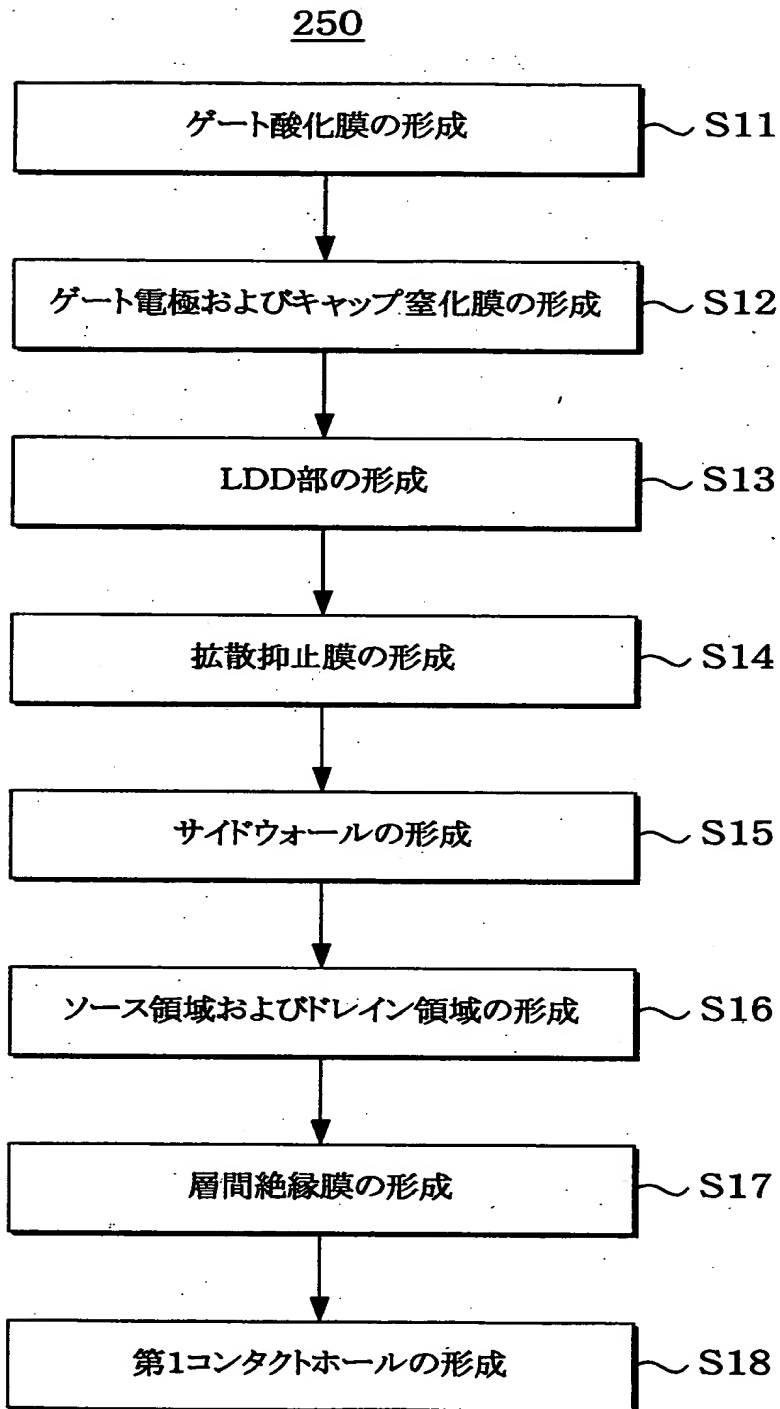


【図4】

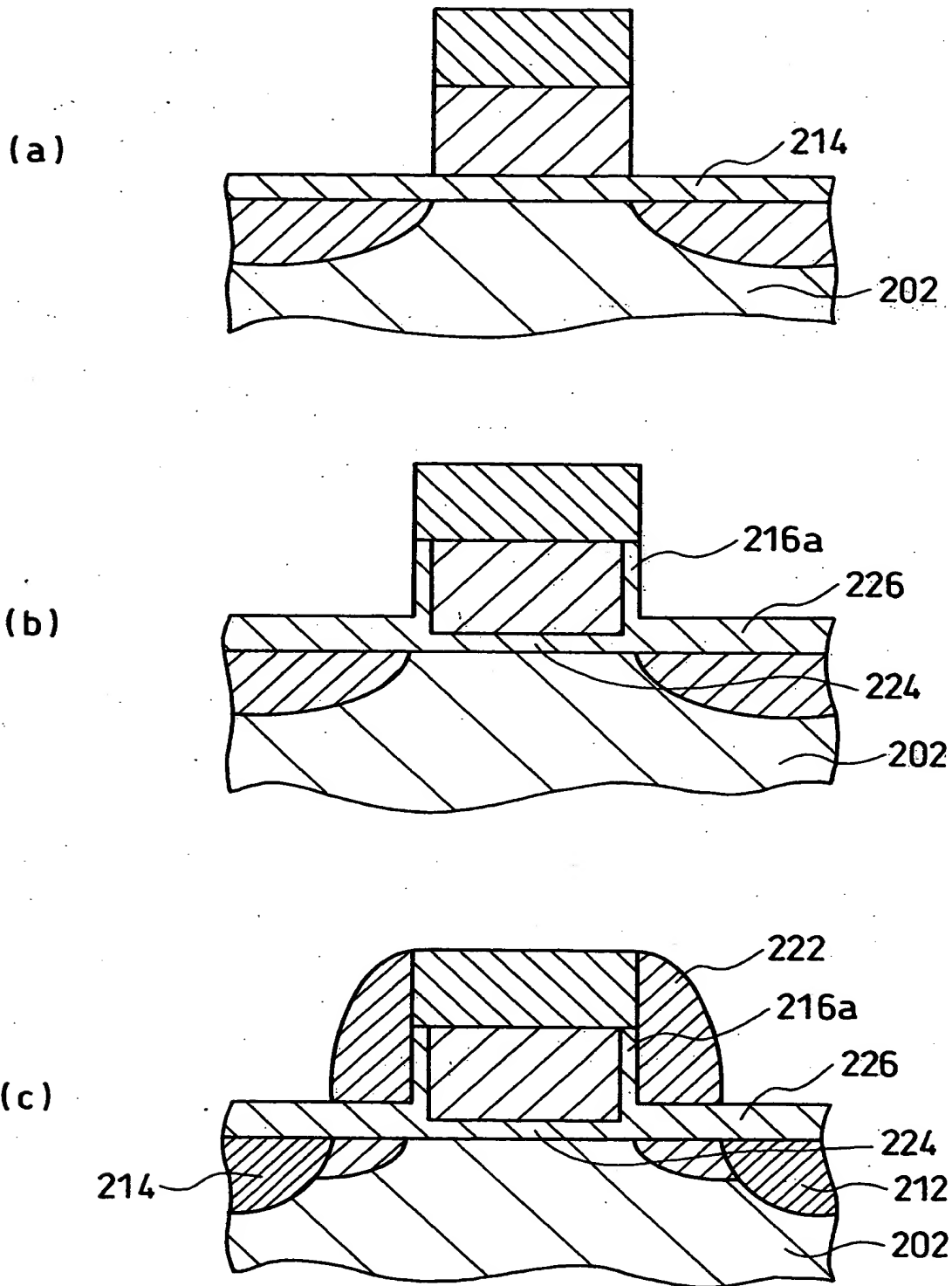
200



【図 5】

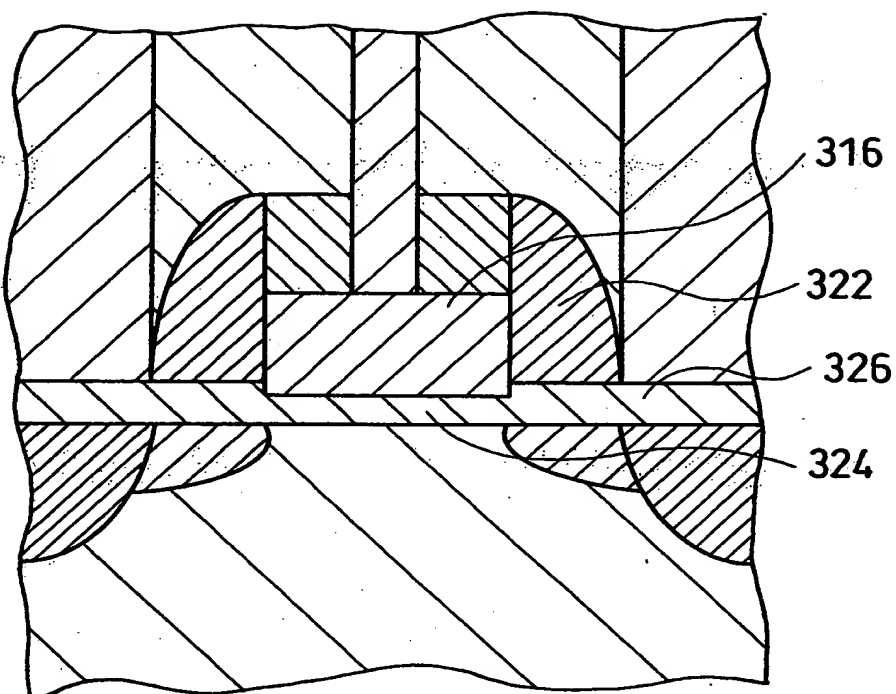


【図 6】

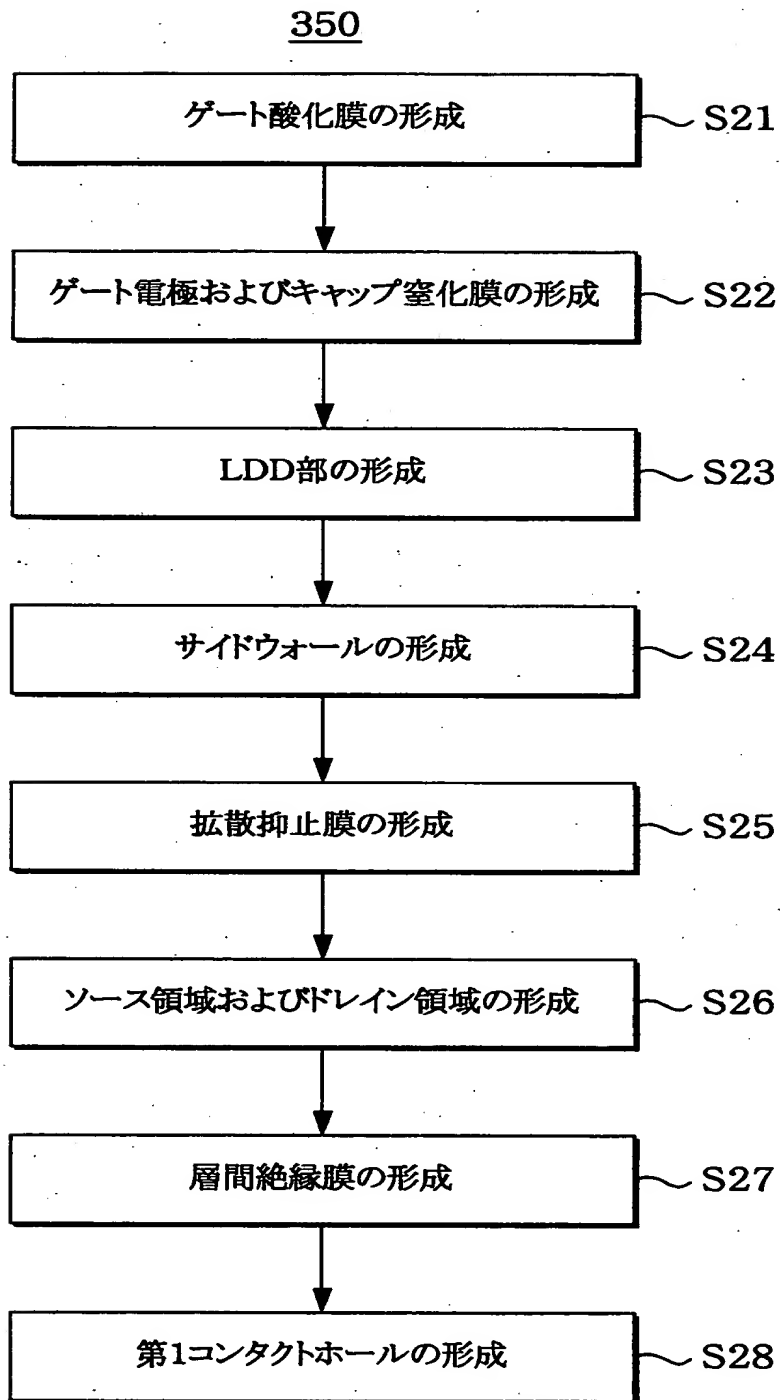


【图 7】

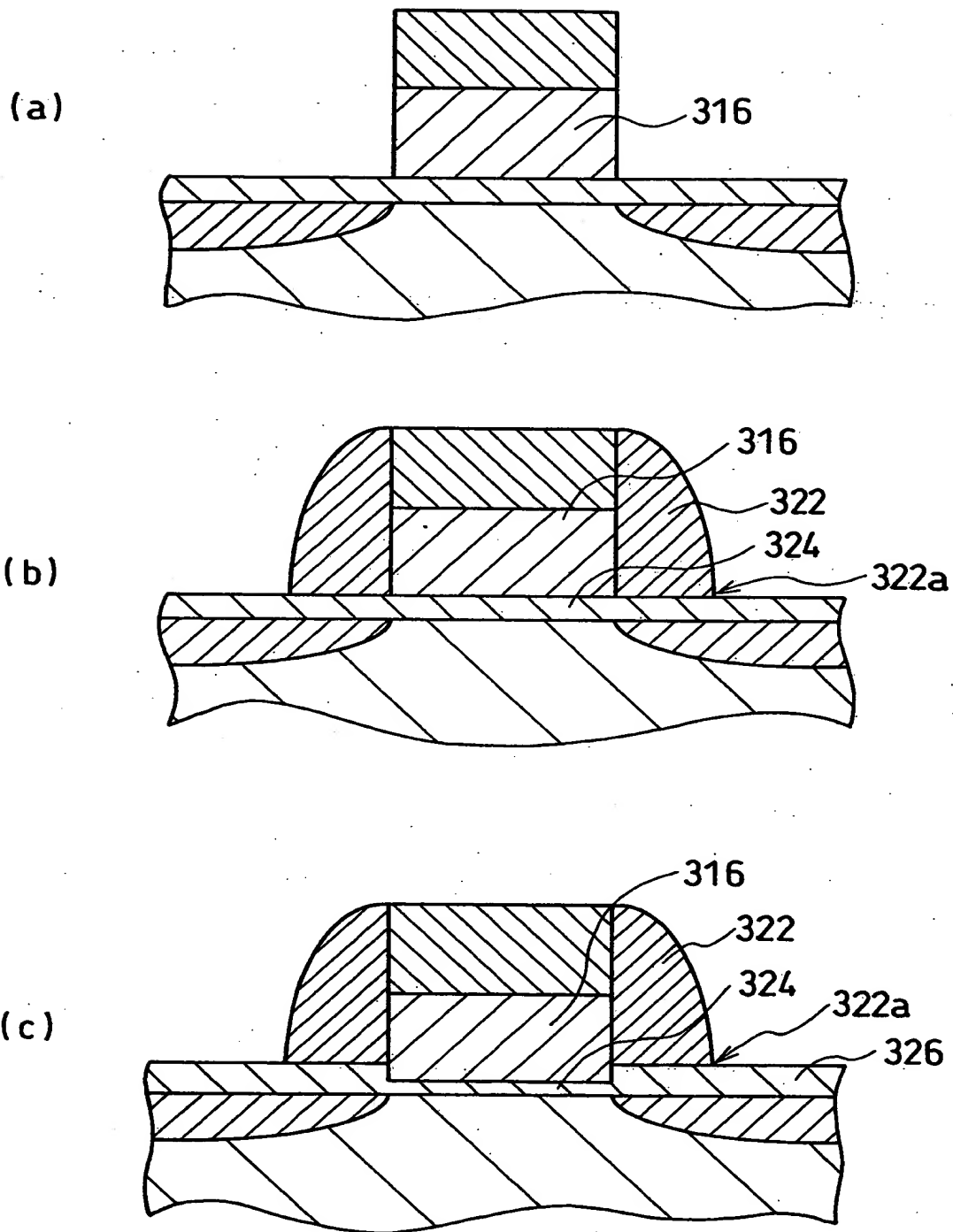
300



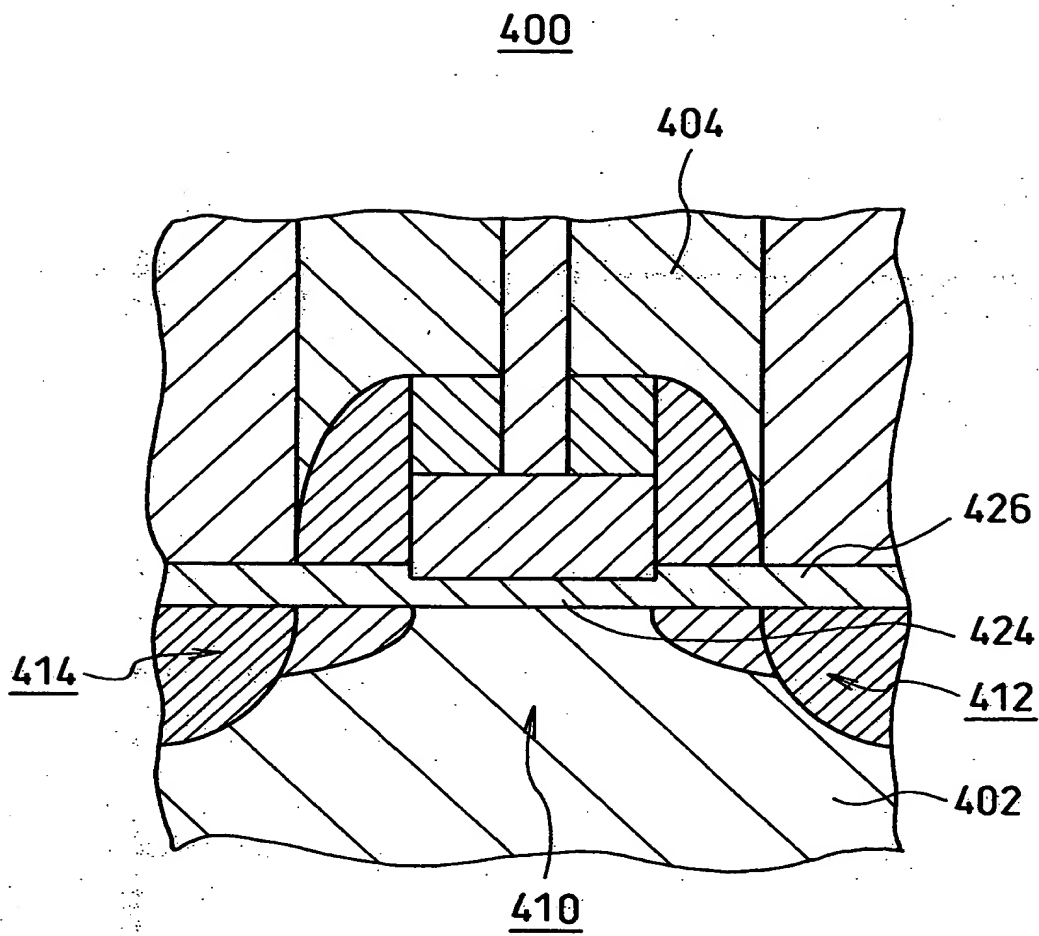
【図 8】



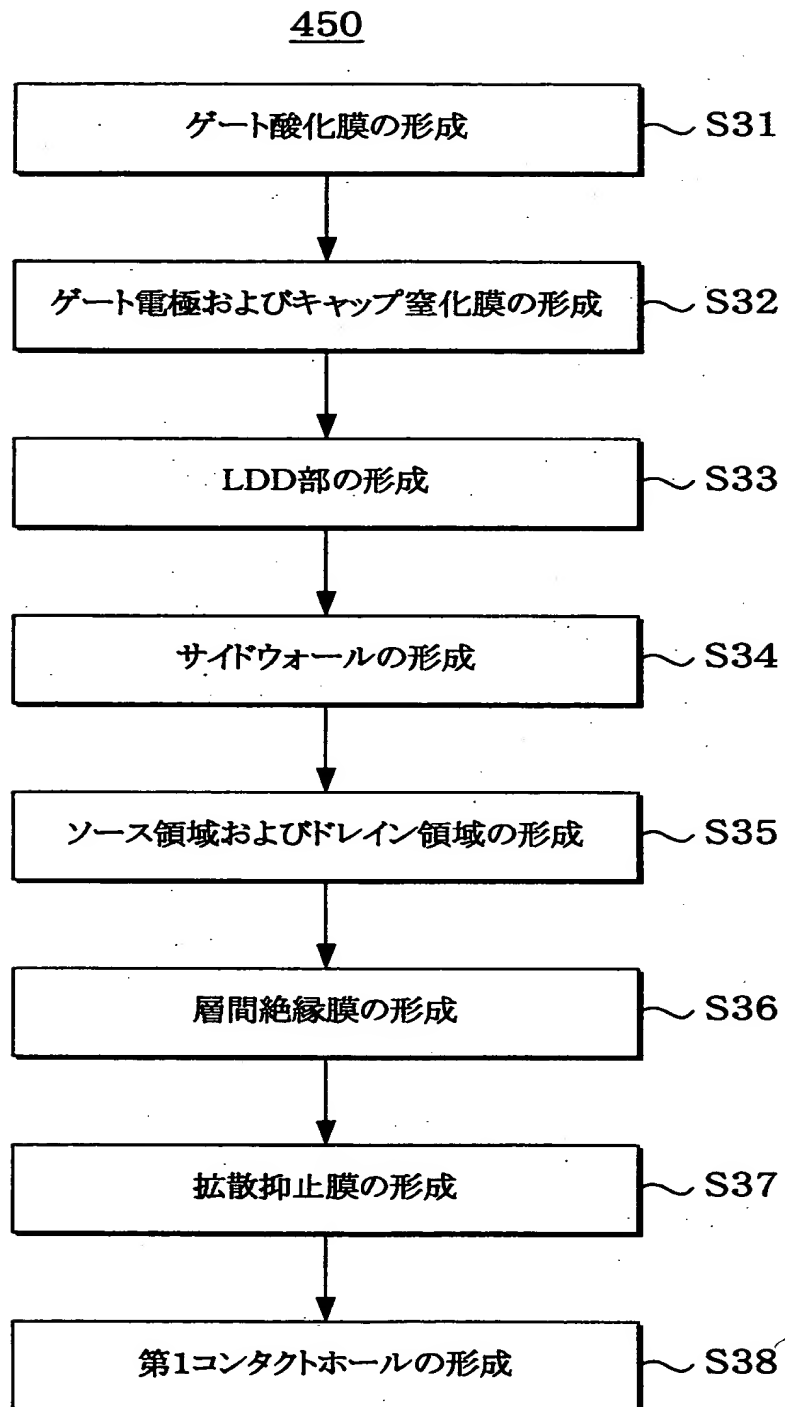
【図9】



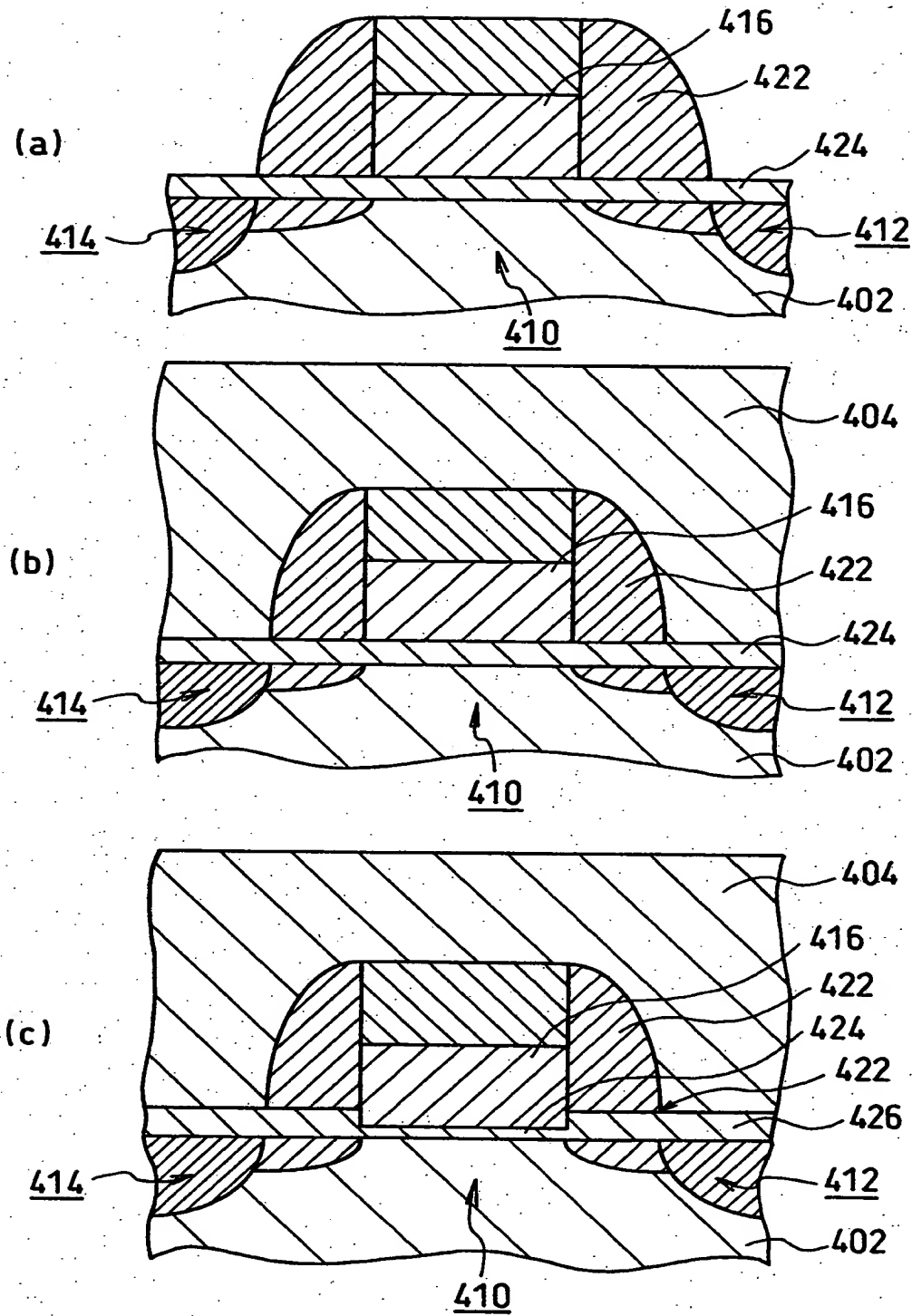
【図10】



【図11】

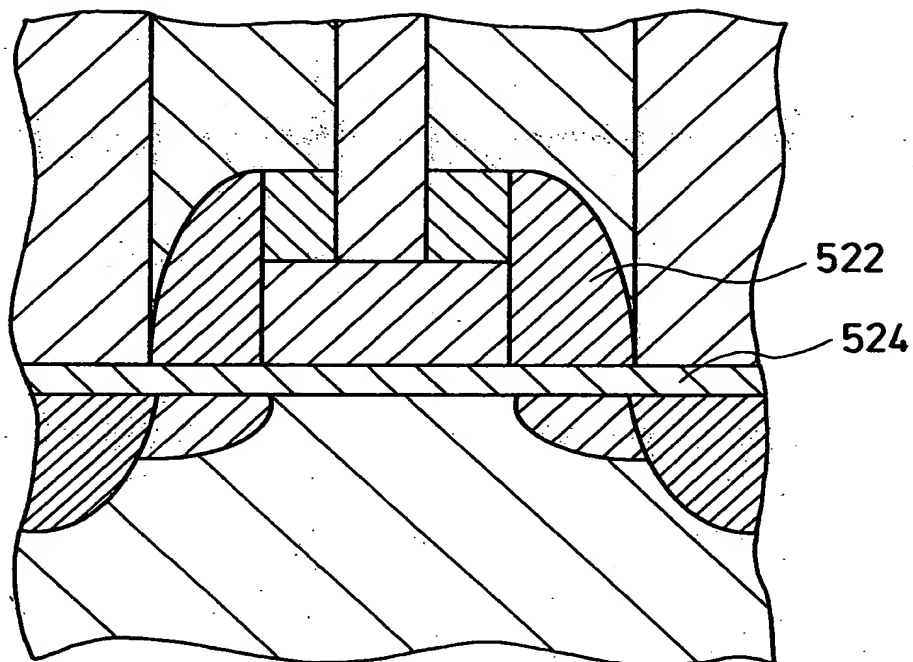


【図 12】

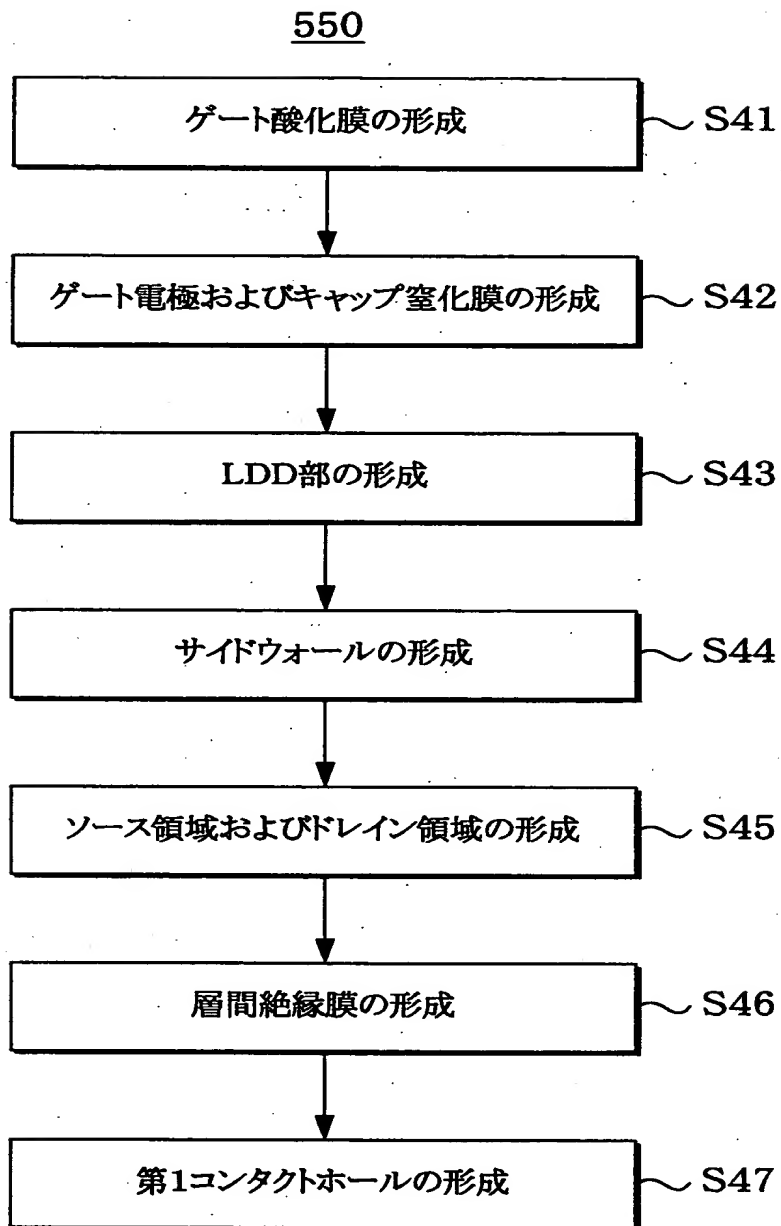


【図 1 3】

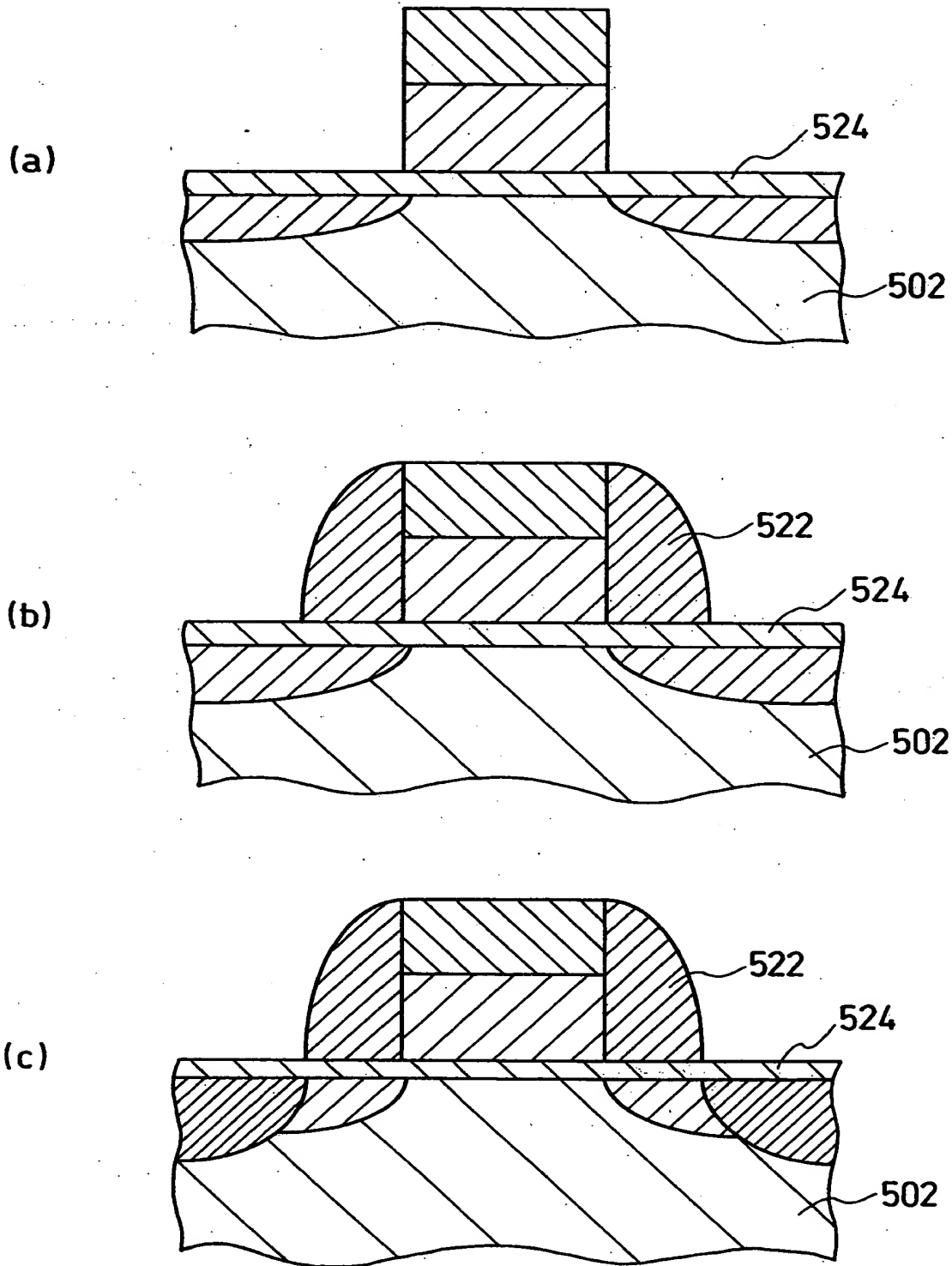
500



【図14】

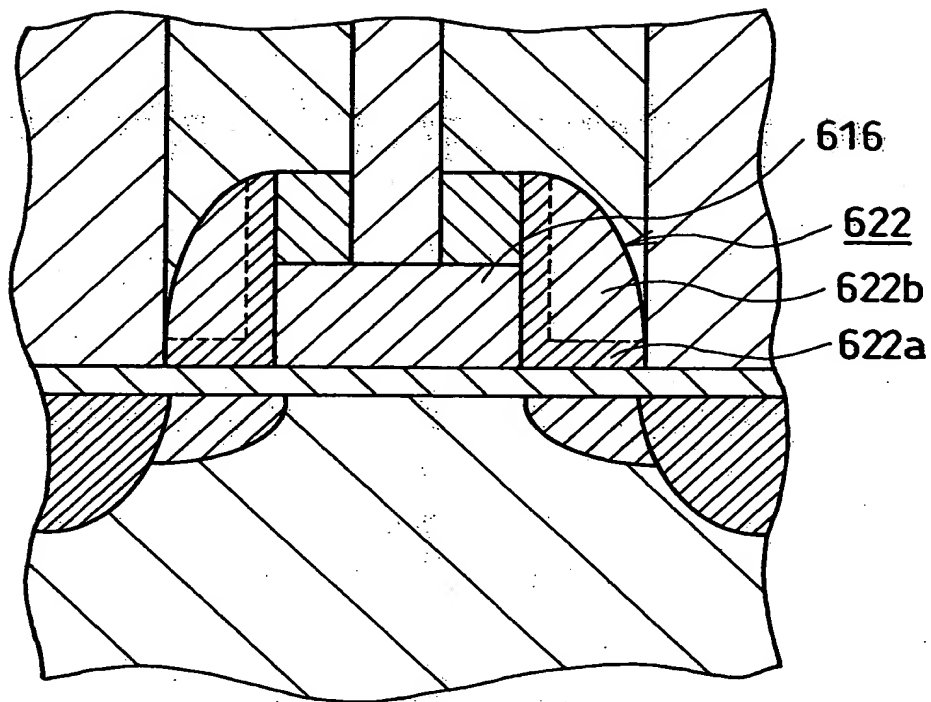


【図15】

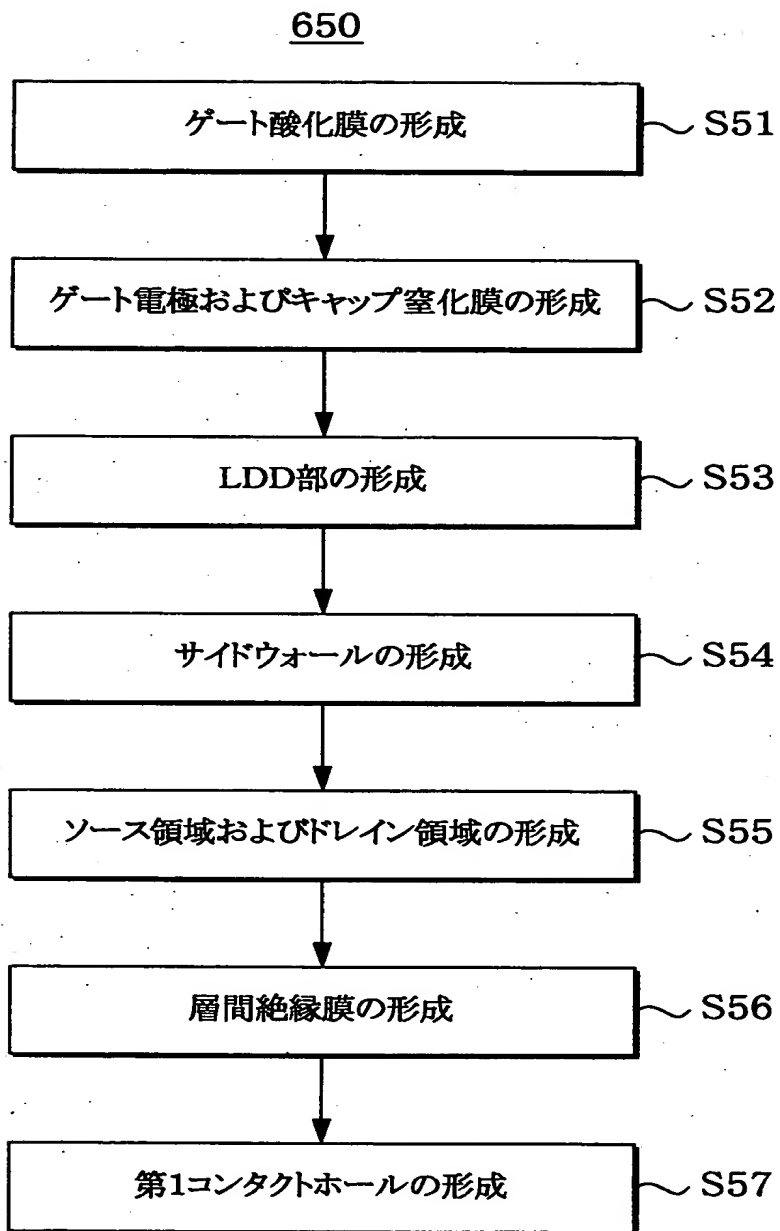


【図 16】

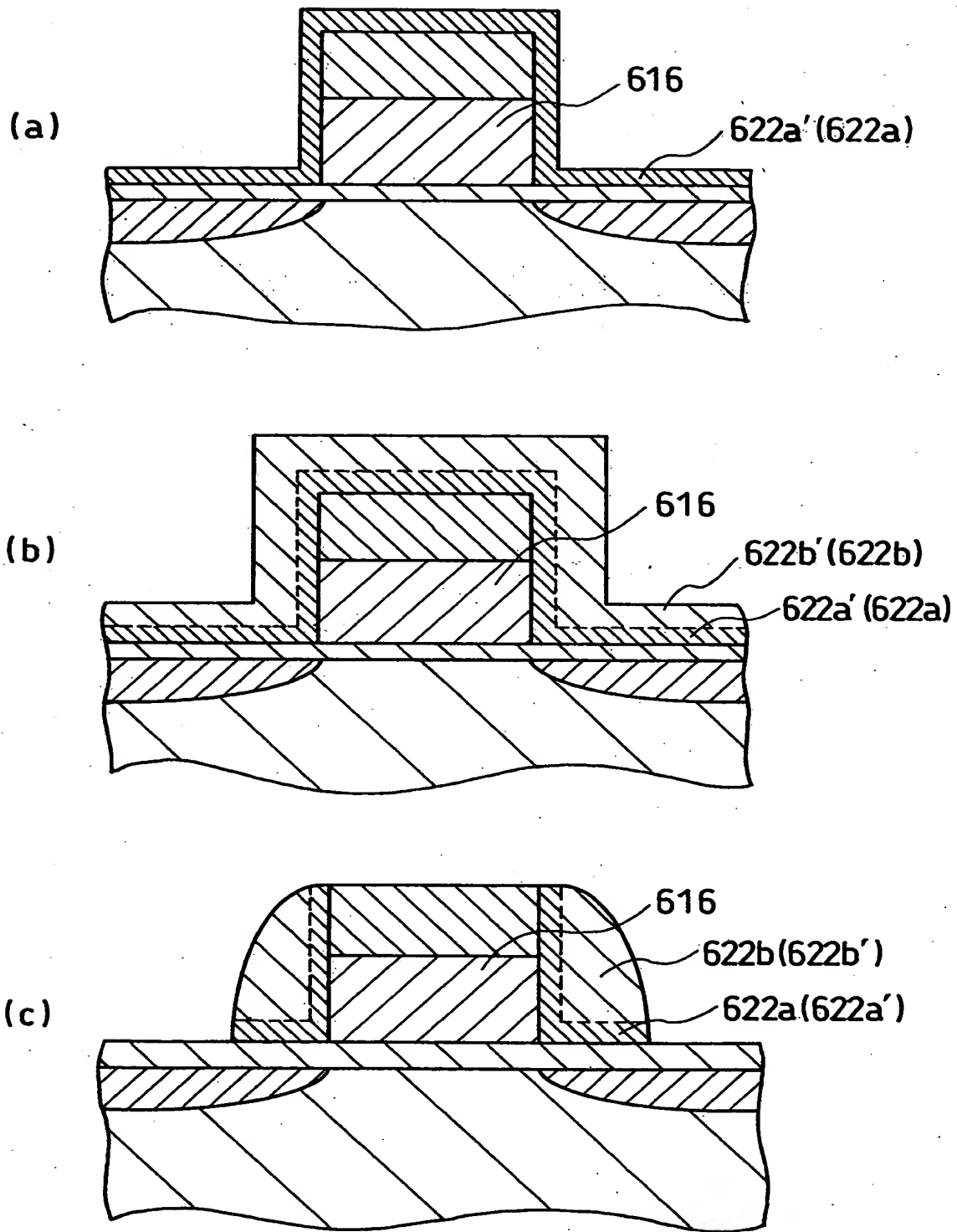
600



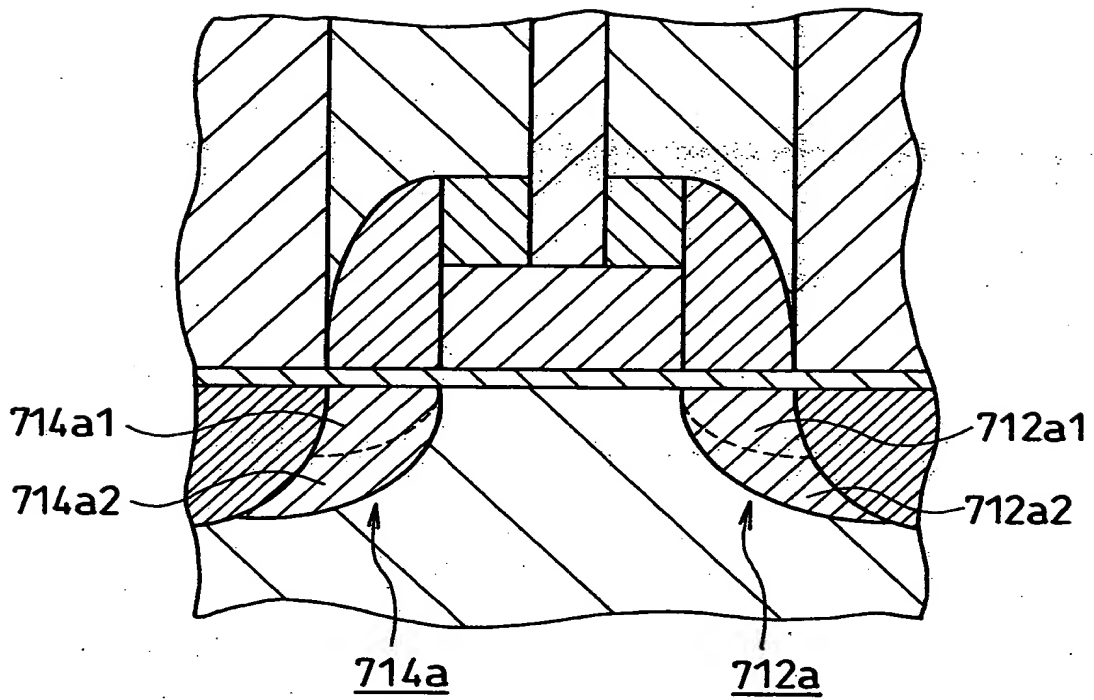
【図 1 7】



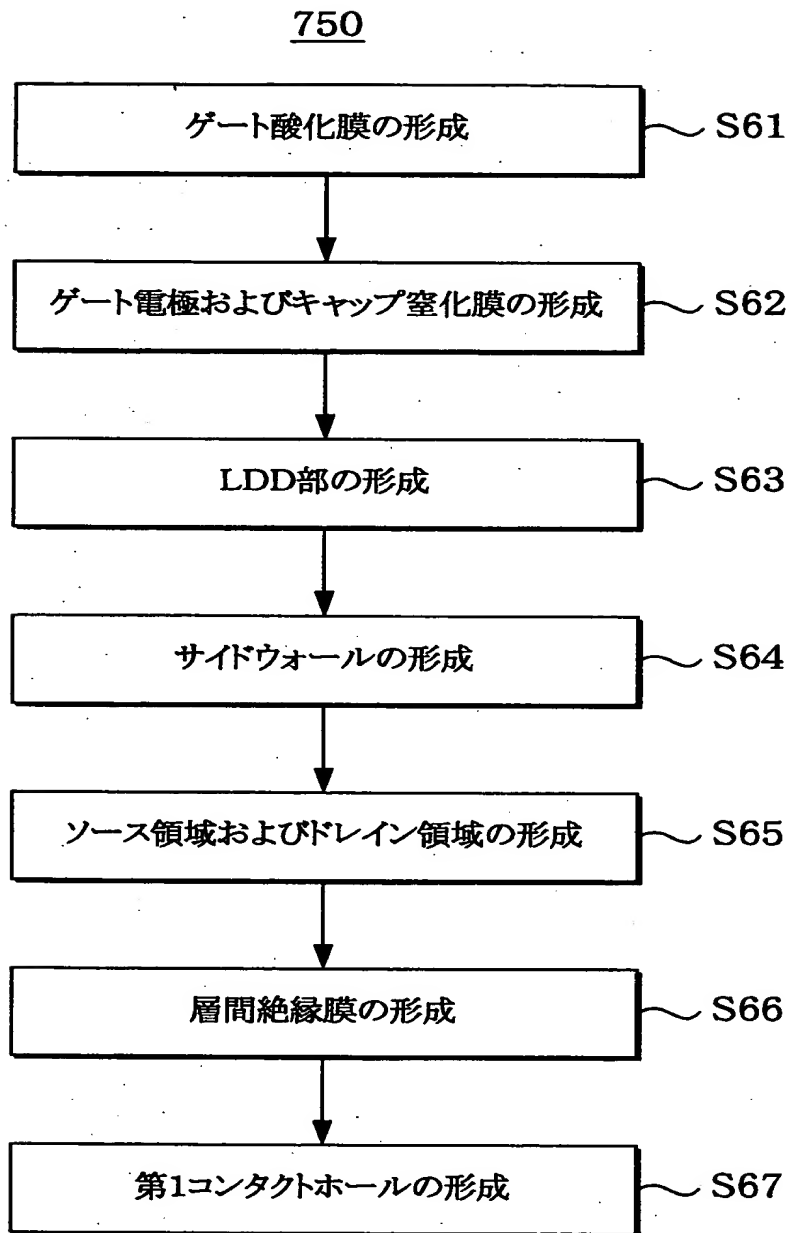
【図 1 8】



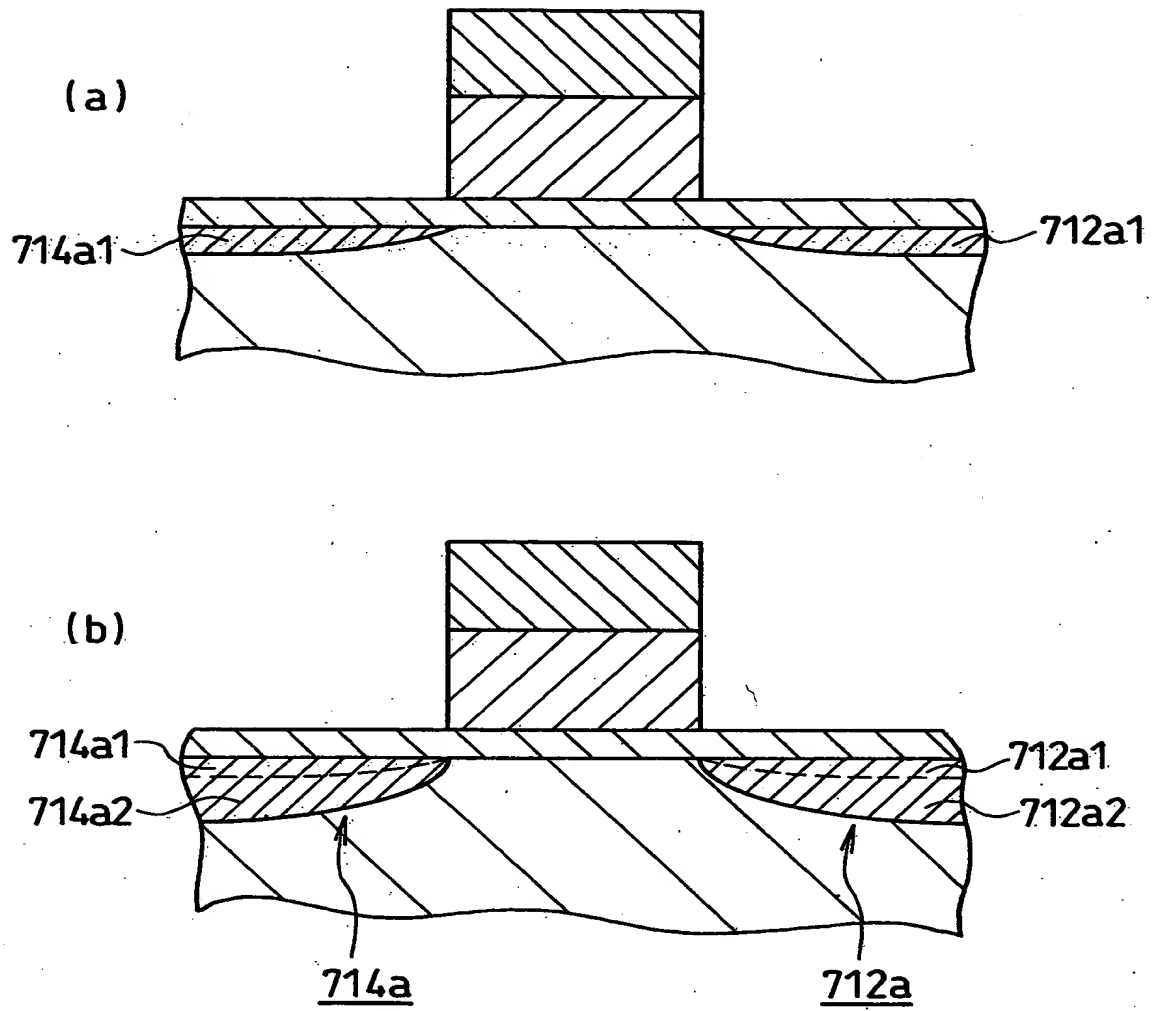
【図19】



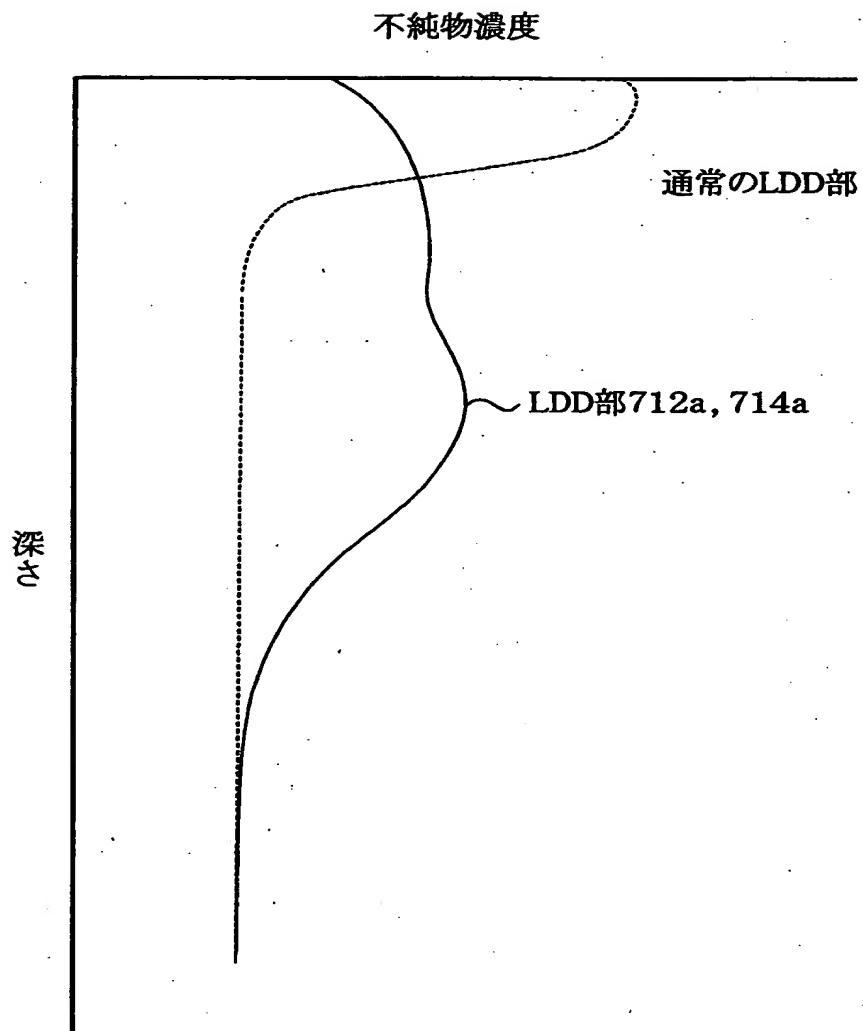
【図20】



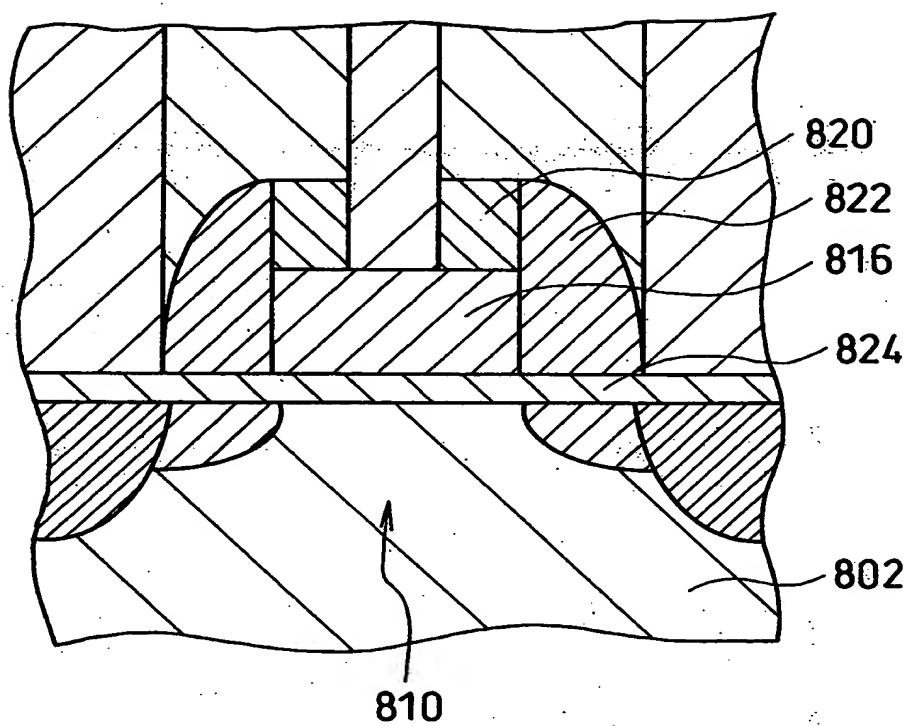
【図 21】



【図 2 2】



【図 23】



【書類名】 要約書

【要約】

【課題】 ホットキャリア耐性が高い F E T を備える半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 1 0 0 は、シリコン基板 1 0 2 とシリコン基板 1 0 2 上に形成される MOS F E T 1 1 0 とを備える。半導体装置 1 0 0 において、MOS F E T 1 1 0 のゲート電極 1 1 6 側部には、窒化シリコンから構成される S A C のためのサイドウォール 1 2 2 が形成されており、サイドウォール 1 2 2 とシリコン基板 1 0 2 との間には、サイドウォール 1 2 2 に含まれる水素や窒素のシリコン基板 1 0 2 側への拡散を抑止する拡散抑止膜 1 2 6 が形成されている。したがって、半導体装置 1 0 0 では、拡散抑止膜 1 2 6 によりシリコン基板 1 0 2 側への水素や窒素の拡散が抑制ないし防止され、サイドウォール 1 2 2 下におけるトラップ・界面準位の発生が抑制され、MOS F E T 1 1 0 のホットキャリア耐性が向上する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社